

数据手册

Datasheet

G32A1445

基于 **Arm® Cortex®-M4F** 内核的 **32 位** 微控制器

版本: **V1.8**

1 产品特性

■ 内核

- 带有 FPU 的 32 位 Arm® Cortex®-M4F 内核
- 最高 112MHz 工作频率

■ 存储器及接口

- 具有 ECC 的 Flash: 512KB
- 具有 ECC 的 SRAM: 64KB
- 具有 ECC 的 64KB Data Flash
- 4KB CFGRAM 可用作 SRAM 或模拟 EEPROM

■ 时钟

- HSE: 外部 4~40MHz 晶体振荡器
- HSI: 内部 48MHz RC 振荡器
- LSI: 内部 8MHz RC 振荡器
- LPO: 内部 128 kHz 低功率 RC 振荡器
- SYSPLL: 主锁相环高达 112MHz

■ 电源与电源管理

- VDD 范围: 2.7~5.5V
- VDDA 范围: VDD~5.5V
- 支持上电/低电压复位 (POR/LVR)
- 支持低电压检测器 (LVD)

■ DMA

- 一个 16 通道 DMA 控制器
- DMA 通道多路复用器 DMACHM

■ 调试接口

- JTAG
- SWD

■ 调试功能

- SWJ-DP
- DWT
- ITM
- TPIU
- FPB

■ I/O

- 最多有 89 个 I/Os
- 所有 I/O 都可以映射到外部中断向量

■ 通信外设

- 1 个 LPI2C 接口
- 3 个 LPUART
- 3 个 LPSPI
- 3 个 CAN (均支持 CANFD)
- 1 个 CFGIO 可配置的通信接口

■ 模拟外设

- 2 个 12 位的 ADC
- 1 个比较器(内置 8 位 DAC)

■ 定时器

- 4 个独立的 16 位定时器 CFGTMR, 每个定时器提供 8 个标准通道
- 1 个具有灵活的唤醒控制的 16 位低功耗定时器 LPTMR
- 1 个 4 通道的 32 位定时器 LPITMR
- 2 个可编程延迟单元 PDU
- 1 个 RTC, 支持日历功能, 可从停机/待机模式下报警和定期唤醒

■ 安全保障

- SHE (安全硬件扩展) 功能规范中一整套的加密功能通过加密服务引擎 (CSEc) 实现。
- 128 位唯一设备 ID
- CRC 计算单元
- 一个内部看门狗 (WDT)
- 一个外部看门狗监视器 (EWDT)
- 系统内存保护单元 (MPU)
- Flash 和 SRAM 带 ECC

■ 芯片封装

- LQFP48
- LQFP64
- LQFP100

目录

1	产品特性	1
2	产品信息	4
3	系统框图	5
4	引脚配置和功能	6
5	引脚复用	15
6	输入复用优先级	23
7	电气特性	33
7.1	通用工作条件下的测试	33
7.1.1	绝对最大额定值	33
7.1.2	电压和电流工作要求	34
7.1.3	温度运行特性.....	34
7.1.4	电源和接地引脚	35
7.1.5	低压复位和检测系统特性.....	36
7.1.6	电源模式转换特性.....	37
7.1.7	功耗.....	38
7.1.8	ESD 和 Latch-up 保护特性	40
7.1.9	EMC 辐射发射特性（待测试）	40
7.2	存储器及接口.....	40
7.2.1	Flash 命令的时间特性	40
7.2.2	可靠性规格	43
7.3	时钟	43
7.3.1	外部时钟源特性	43
7.3.2	系统时钟发生器电气特性.....	45
7.3.3	低功耗振荡器电气特性	46
7.3.4	系统 PLL 电气特性	46
7.4	时钟频率	46
7.5	引脚特性	47
7.5.1	交流电气特性.....	47
7.5.2	交流通用规格.....	47
7.5.3	IO 端口特性	47
7.6	通信外设.....	49

7.6.1	LPUART 电气特性	49
7.6.2	LPSPI 电气特性	49
7.6.3	LPI2C 电气特性	60
7.6.4	CAN 电气特性.....	60
7.7	模拟外设	60
7.7.1	ADC	60
7.7.2	内部具有 8 位 DAC 的比较器.....	64
7.8	调试模块	67
7.8.1	SWD 电气规范.....	67
7.8.2	JTAG 电气特性.....	71
7.9	温度特性	75
7.9.1	最高结温度下规格的一般注意事项.....	75
7.9.2	温度特性.....	75
8	封装信息	77
8.1	LQFP100 封装信息.....	77
8.2	LQFP64 封装信息.....	80
8.3	LQFP48 封装信息.....	82
9	包装信息	85
9.1	带状包装	85
9.2	托盘包装	86
10	订货信息	88
11	常用功能模块命名	89
12	版本历史	90

2 产品信息

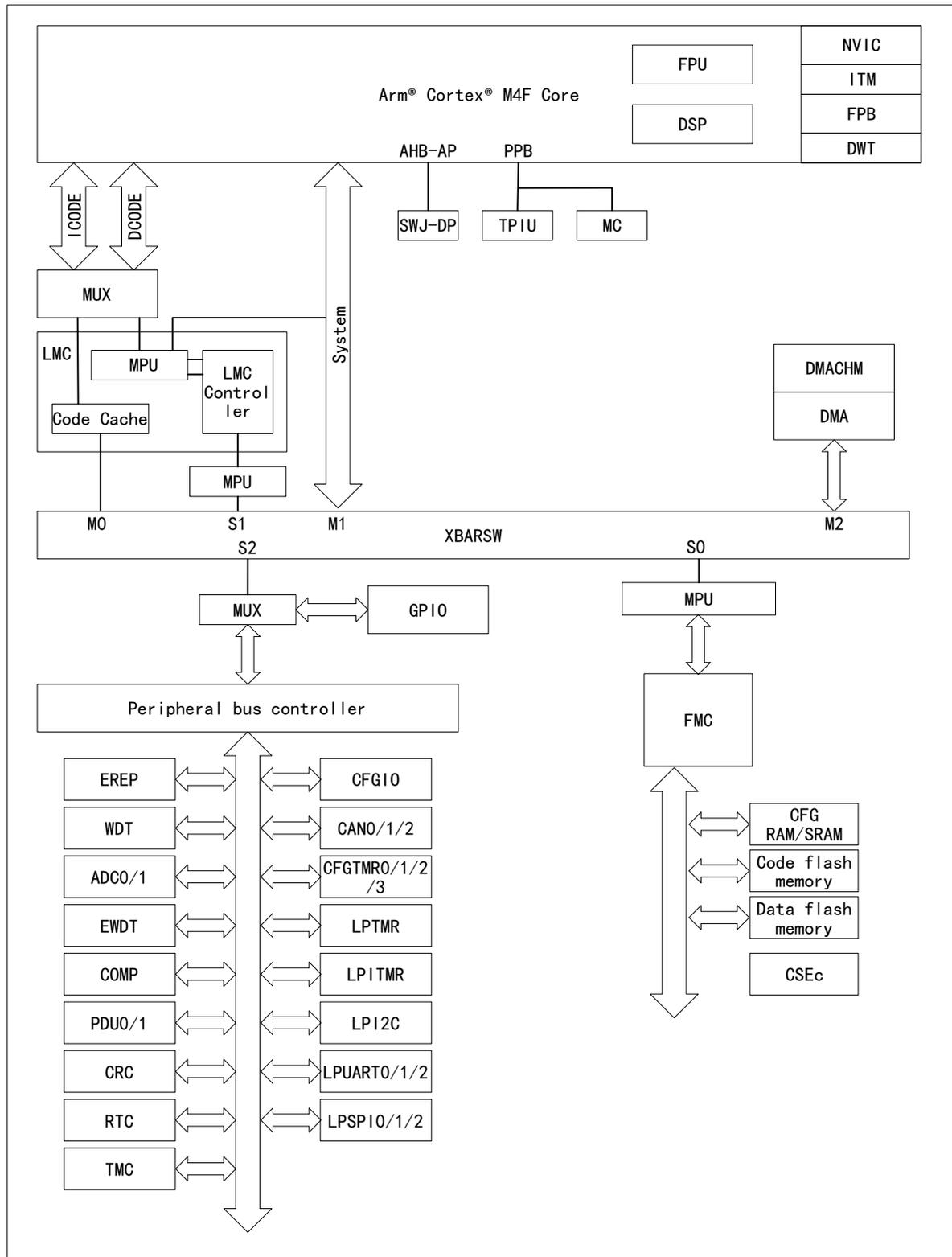
G32A1445 产品功能和外设配置请参阅下表。

表格 1 G32A1445 系列芯片功能和外设

产品		G32A1445		
型号		UAT0MLF	UAT0MLH	UAT0MLL
封装		LQFP48	LQFP64	LQFP100
内核		Arm® 32-bit Cortex®-M4F		
最大工作频率(MHz)		112		
工作电压		2.7-5.5V		
Flash(KB)		512		
SRAM(KB)		64		
GPIOs		43	58	89
通信接口	LPUART	3		
	LPSPi	3		
	LPI2C	1		
	CAN	3		
	CFGIO	1		
定时器	16 位 CFGTMR	4 (4*8)		
	16 位 LPTMR	1		
	32 位 LPITMR	1		
	WDT	1		
	EWDT	1		
	PDU	2		
实时时钟		1		
12 位 ADC	单元	2		
	外部通道	14+9	16+13	16+16
模拟比较器 (8 位 DAC)		1 (1)		
工作温度		环境温度: -40°C 至 125°C 结温度: -40°C 至 135°C		

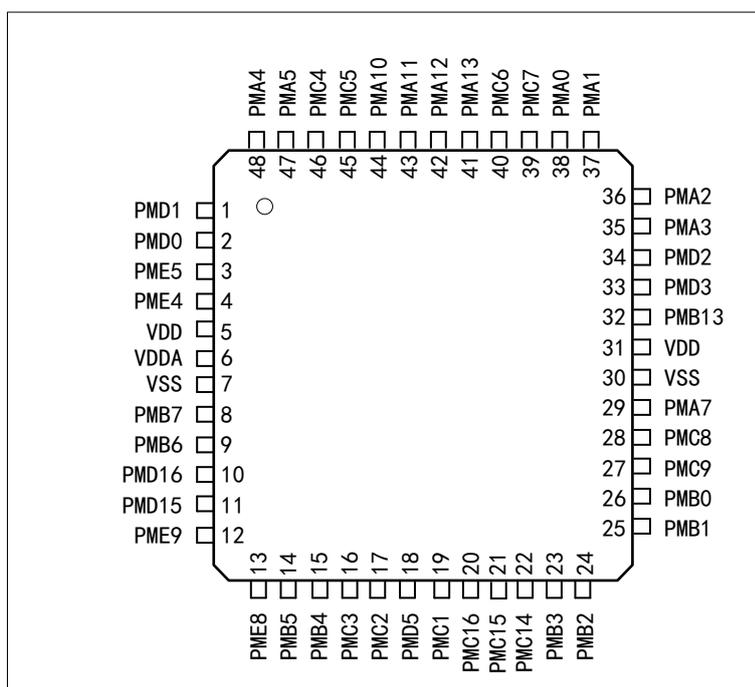
3 系统框图

图 1 系统框图



4 引脚配置和功能

图 2 48-Pin LQFP Top View



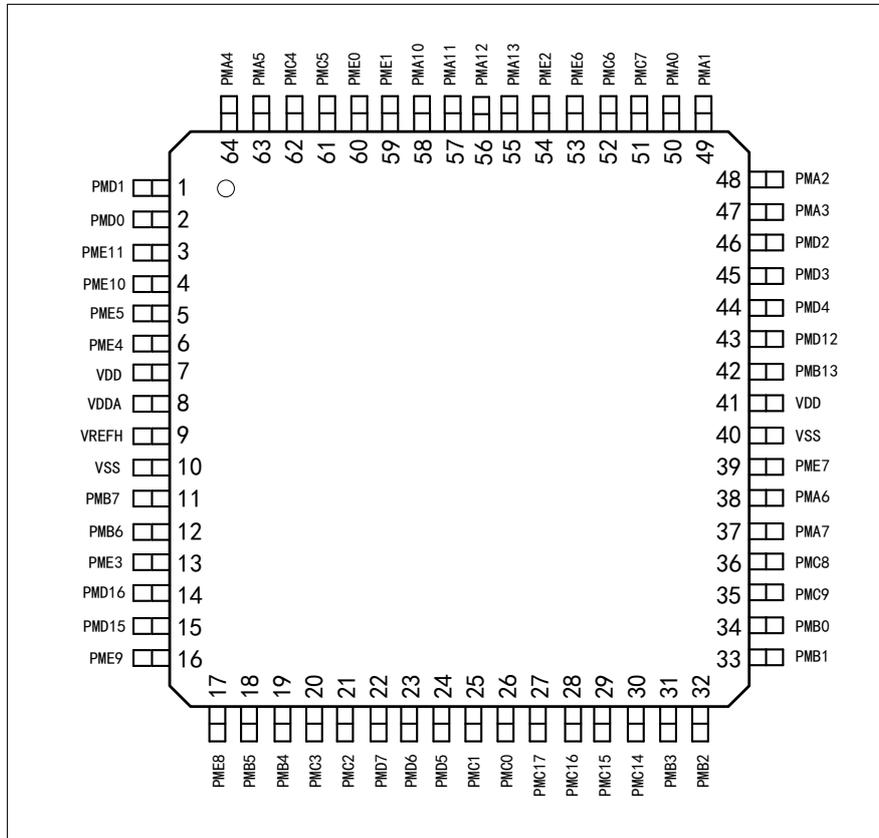
表格 2 引脚功能

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMA0	38	I/O	默认: ADC0_CH0/COMP0_IN0 (ADC0 channel 0/COMP0 input channel 0)
PMA1	37	I/O	默认: ADC0_CH1/COMP0_IN1 (ADC0 channel 1/COMP0 input channel 1)
PMA2	36	I/O	默认: ADC1_CH0 (ADC1 channel 0)
PMA3	35	I/O	默认: ADC1_CH1 (ADC1 channel 1)
PMA4	48	I/O	JTAG_TMS/SWD_DIO
PMA5	47	I/O	RESET_b
PMA7	29	I/O	默认: ADC0_CH3 (ADC0 channel 3)
PMA10	44	I/O	JTAG_TDO/noetm_TRACE_SWO
PMA11	43	I/O	GPIO
PMA12	42	I/O	GPIO
PMA13	41	I/O	GPIO
PMB0	26	I/O	默认: ADC0_CH4/ADC1_CH14(ADC0 channel 4/ ADC1 channel 14)
PMB1	25	I/O	默认: ADC0_CH5/ADC1_CH15(ADC0 channel 5/ ADC1 channel 15)

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMB2	24	I/O	默认: ADC0_CH6(ADC0 channel 6)
PMB3	23	I/O	默认: ADC0_CH7(ADC0 channel 7)
PMB4	15	I/O	GPIO
PMB5	14	I/O	GPIO
PMB6	9	I/O	XTAL
PMB7	8	I/O	EXTAL
PMB13	32	I/O	默认: ADC1_CH8/ADC0_CH8(ADC1 channel 8/ADC0 channel 8)
PMC1	19	I/O	默认: ADC0_CH9(ADC0 channel 9)
PMC2	17	I/O	默认: ADC0_CH10/COMP0_IN5(ADC0 channel 10/COMP0 channel 5)
PMC3	16	I/O	默认: ADC0_CH11/COMP0_IN4(ADC0 channel 11/COMP0 channel 4)
PMC4	46	I/O	JTAG_TCLK/SWD_CLK
PMC5	45	I/O	JTAG_TDI
PMC6	40	I/O	默认: ADC1_CH4(ADC1 channel 4)
PMC7	39	I/O	默认: ADC1_CH5(ADC1 channel 5)
PMC8	28	I/O	GPIO
PMC9	27	I/O	GPIO
PMC14	22	I/O	默认: ADC0_CH12(ADC0 channel 12)
PMC15	21	I/O	默认: ADC0_CH13(ADC0 channel 13)
PMC16	20	I/O	默认: ADC0_CH14(ADC0 channel 14)
PMD0	2	I/O	GPIO
PMD1	1	I/O	GPIO
PMD2	34	I/O	默认: ADC1_CH2(ADC1 channel 2)
PMD3	33	I/O	默认: ADC1_CH3(ADC1 channel 3)
PMD5	18	I/O	GPIO
PMD15	11	I/O	GPIO
PMD16	10	I/O	GPIO
PME4	4	I/O	GPIO
PME5	3	I/O	GPIO
PME8	13	I/O	默认: COMP0_IN3(COMP0 channel 3)
PME9	12	I/O	GPIO
VDDA	6	I	Analog voltage, peripheral connection with VDD
VDD	5/31	I	Power supply voltage, peripheral connection

PIN		TYPE	DESCRIPTION
NAME	NO.		
VSS	7/30	G	GND, peripheral connection

图 3 64-Pin LQFP Top View



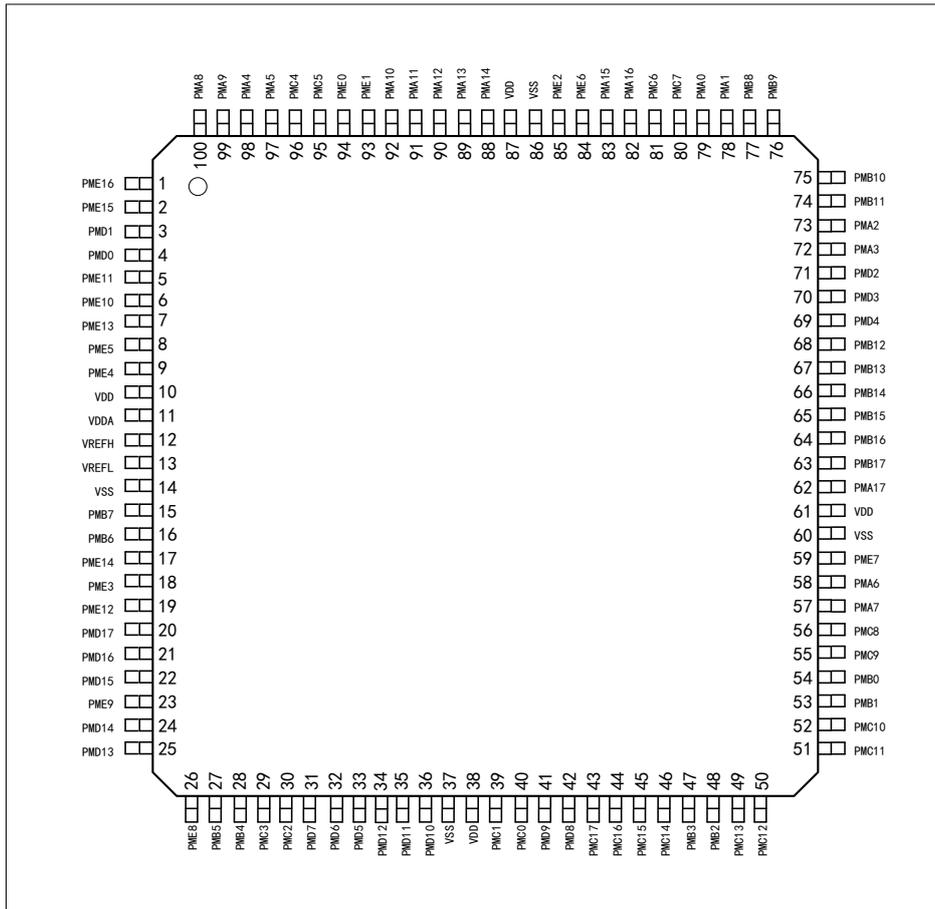
表格 3 引脚功能

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMA0	50	I/O	默认: ADC0_CH0/COMP0_IN0 (ADC0 channel 0/COMP0 input channel 0)
PMA1	49	I/O	默认: ADC0_CH1/COMP0_IN1 (ADC0 channel 1/COMP0 input channel 1)
PMA2	48	I/O	默认: ADC1_CH0 (ADC1 channel 0)
PMA3	47	I/O	默认: ADC1_CH1 (ADC1 channel 1)
PMA4	64	I/O	JTAG_TMS/SWD_DIO
PMA5	63	I/O	RESET_b
PMA6	38	I/O	默认: ADC0_CH2 (ADC0 channel 2)
PMA7	37	I/O	默认: ADC0_CH3 (ADC0 channel 3)
PMA10	58	I/O	JTAG_TDO/noetm_TRACE_SWO
PMA11	57	I/O	GPIO

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMA12	56	I/O	GPIO
PMA13	55	I/O	GPIO
PMB0	34	I/O	默认: ADC0_CH4/ADC1_CH14(ADC0 channel 4/ ADC1 channel 14)
PMB1	33	I/O	默认: ADC0_CH5/ADC1_CH15(ADC0 channel 5/ ADC1 channel 15)
PMB2	32	I/O	默认: ADC0_CH6(ADC0 channel 6)
PMB3	31	I/O	默认: ADC0_CH7(ADC0 channel 7)
PMB4	19	I/O	GPIO
PMB5	18	I/O	GPIO
PMB6	12	I/O	XTAL
PMB7	11	I/O	EXTAL
PMB12	43	I/O	默认: ADC1_CH7(ADC1 channel 7)
PMB13	42	I/O	默认: ADC1_CH8/ADC0_CH8(ADC1 channel 8/ADC0 channel 8)
PMC0	26	I/O	默认: ADC0_CH8(ADC0 channel 8)
PMC1	25	I/O	默认: ADC0_CH9(ADC0 channel 9)
PMC2	21	I/O	默认: ADC0_CH10/COMP0_IN5(ADC0 channel 10/COMP0 channel 5)
PMC3	20	I/O	默认: ADC0_CH11/COMP0_IN4(ADC0 channel 11/COMP0 channel 4)
PMC4	62	I/O	JTAG_TCLK/SWD_CLK
PMC5	61	I/O	JTAG_TDI
PMC6	52	I/O	默认: ADC1_CH4(ADC1 channel 4)
PMC7	51	I/O	默认: ADC1_CH5(ADC1 channel 5)
PMC8	36	I/O	GPIO
PMC9	35	I/O	GPIO
PMC14	30	I/O	默认: ADC0_CH12(ADC0 channel 12)
PMC15	29	I/O	默认: ADC0_CH13(ADC0 channel 13)
PMC16	28	I/O	默认: ADC0_CH14(ADC0 channel 14)
PMC17	27	I/O	默认: ADC0_CH15(ADC0 channel 15)
PMD0	2	I/O	GPIO
PMD1	1	I/O	GPIO
PMD2	46	I/O	默认: ADC1_CH2(ADC1 channel 2)
PMD3	45	I/O	默认: ADC1_CH3(ADC1 channel 3)
PMD4	44	I/O	默认: ADC1_CH6(ADC1 channel 6)
PMD5	24	I/O	GPIO

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMD6	23	I/O	默认: COMP0_IN7(COMP0 channel 7)
PMD7	22	I/O	默认: COMP0_IN6(COMP0 channel 6)
PMD15	15	I/O	GPIO
PMD16	14	I/O	GPIO
PME0	60	I/O	GPIO
PME1	59	I/O	GPIO
PME2	54	I/O	默认: ADC1_CH10(ADC1 channel 10)
PME3	13	I/O	GPIO
PME4	6	I/O	GPIO
PME5	5	I/O	GPIO
PME6	53	I/O	默认: ADC1_CH11(ADC1 channel 11)
PME7	39	I/O	GPIO
PME8	17	I/O	默认: COMP0_IN3(COMP0 channel 3)
PME9	16	I/O	GPIO
PME10	4	I/O	GPIO
PME11	3	I/O	GPIO
VREF H	9	I	AD Reference Voltage
VDDA	8	I	Analog voltage, peripheral connection with VDD
VDD	7/41	I	Power supply voltage, peripheral connection
VSS	10/40	G	GND, peripheral connection

图 4 100-Pin LQFP Top View



表格 4 引脚功能

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMA0	79	I/O	默认: ADC0_CH0/COMP0_IN0 (ADC0channel 0/COMP0 input channel 0)
PMA1	78	I/O	默认: ADC0_CH1/COMP0_IN1 (ADC0channel 1/COMP0 input channel 1)
PMA2	73	I/O	默认: ADC1_CH0 (ADC1 channel 0)
PMA3	72	I/O	默认: ADC1_CH1 (ADC1 channel 1)
PMA4	98	I/O	JTAG_TMS/SWD_DIO
PMA5	97	I/O	RESET_b
PMA6	58	I/O	默认: ADC0_CH2 (ADC0channel 2)
PMA7	57	I/O	默认: ADC0_CH3 (ADC0channel 3)
PMA8	100	I/O	GPIO
PMA9	99	I/O	GPIO
PMA10	92	I/O	JTAG_TDO/noetm_TRACE_SWO
PMA11	91	I/O	GPIO

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMA12	90	I/O	GPIO
PMA13	89	I/O	GPIO
PMA14	88	I/O	GPIO
PMA15	83	I/O	默认: ADC1_CH12 (ADC1 channel 12)
PMA16	82	I/O	默认: ADC1_CH13 (ADC1 channel 13)
PMA17	62	I/O	GPIO
PMB0	54	I/O	默认: ADC0_CH4/ADC1_CH14(ADC0channel 4/ ADC1 channel 14)
PMB1	53	I/O	默认: ADC0_CH5/ADC1_CH15(ADC0 channel 5/ ADC1 channel 15)
PMB2	48	I/O	默认: ADC0_CH6(ADC0channel 6)
PMB3	47	I/O	默认: ADC0_CH7(ADC0channel 7)
PMB4	28	I/O	GPIO
PMB5	27	I/O	GPIO
PMB6	16	I/O	XTAL
PMB7	15	I/O	EXTAL
PMB8	77	I/O	GPIO
PMB9	76	I/O	GPIO
PMB10	75	I/O	GPIO
PMB11	74	I/O	GPIO
PMB12	68	I/O	默认: ADC1_CH7(ADC1 channel 7)
PMB13	67	I/O	默认: ADC1_CH8/ADC0_CH8(ADC1 channel 8/ADC0channel 8)
PMB14	66	I/O	默认: ADC1_CH9/ADC0_CH9(ADC1 channel 9/ADC0channel 9)
PMB15	65	I/O	默认: ADC1_CH14(ADC1 channel 14)
PMB16	64	I/O	默认: ADC1_CH15(ADC1 channel 15)
PMB17	63	I/O	GPIO
PMC0	40	I/O	默认: ADC0_CH8(ADC0channel 8)
PMC1	39	I/O	默认: ADC0_CH9(ADC0channel 9)
PMC2	30	I/O	默认: ADC0_CH10/COMP0_IN5(ADC0channel 10/COMP0 channel 5)
PMC3	29	I/O	默认: ADC0_CH11/COMP0_IN4(ADC0channel 11/COMP0 channel 4)
PMC4	96	I/O	JTAG_TCLK/SWD_CLK
PMC5	95	I/O	JTAG_TDI

PIN		TYPE	DESCRIPTION
NAME	NO.		
PMC6	81	I/O	默认: ADC1_CH4(ADC1 channel 4)
PMC7	80	I/O	默认: ADC1_CH5(ADC1 channel 5)
PMC8	56	I/O	GPIO
PMC9	55	I/O	GPIO
PMC10	52	I/O	GPIO
PMC11	51	I/O	GPIO
PMC12	50	I/O	GPIO
PMC13	49	I/O	GPIO
PMC14	46	I/O	默认: ADC0_CH12(ADC0channel 12)
PMC15	45	I/O	默认: ADC0_CH13(ADC0channel 13)
PMC16	44	I/O	默认: ADC0_CH14(ADC0channel 14)
PMC17	43	I/O	默认: ADC0_CH15(ADC0channel 15)
PMD0	4	I/O	GPIO
PMD1	3	I/O	GPIO
PMD2	71	I/O	默认: ADC1_CH2(ADC1 channel 2)
PMD3	70	I/O	默认: ADC1_CH3(ADC1 channel 3)
PMD4	69	I/O	默认: ADC1_CH6(ADC1 channel 6)
PMD5	33	I/O	GPIO
PMD6	32	I/O	默认: COMP0_IN7(COMP0 channel 7)
PMD7	31	I/O	默认: COMP0_IN6(COMP0 channel 6)
PMD8	42	I/O	GPIO
PMD9	41	I/O	GPIO
PMD10	36	I/O	GPIO
PMD11	35	I/O	GPIO
PMD12	34	I/O	GPIO
PMD13	25	I/O	GPIO
PMD14	24	I/O	GPIO
PMD15	22	I/O	GPIO
PMD16	21	I/O	GPIO
PMD17	20	I/O	GPIO
PME0	94	I/O	GPIO

PIN		TYPE	DESCRIPTION
NAME	NO.		
PME1	93	I/O	GPIO
PME2	85	I/O	默认: ADC1_CH10(ADC1 channel 10)
PME3	18	I/O	GPIO
PME4	9	I/O	GPIO
PME5	8	I/O	GPIO
PME6	84	I/O	默认: ADC1_CH11(ADC1 channel 11)
PME7	59	I/O	GPIO
PME8	26	I/O	默认: COMP0_IN3(COMP0 channel 3)
PME9	23	I/O	GPIO
PME10	6	I/O	GPIO
PME11	5	I/O	GPIO
PME12	19	I/O	GPIO
PME13	7	I/O	GPIO
PME14	17	I/O	GPIO
PME15	2	I/O	GPIO
PME16	1	I/O	GPIO
VREFH	12	I	AD Reference Voltage
VDDA	11	I	Analog voltage, peripheral connection with VDD
VDD	10/38/61/ 87	I	Power supply voltage, peripheral connection
VREFL	13	G	AD Reference GND
VSS	86/60/37/ 14	G	GND, peripheral connection

5 引脚复用

表格 5 引脚复用

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
-	-	1	PME16	-	PME16	LPUART1_RTS	LPSPi2_SIN	CFGTM2R2_CH7	-	CFGIO_D3	TMC_OUT7
-	-	2	PME15	-	PME15	LPUART1_CTS	LPSPi2_SCK	CFGTM2R2_CH6	-	CFGIO_D2	TMC_OUT6
1	1	3	PMD1	-	PMD1	CFGTM2R0_CH3	LPSPi1_SIN	CFGTM2R2_CH1	-	CFGIO_D1	TMC_OUT2
2	2	4	PMD0	-	PMD0	CFGTM2R0_CH2	LPSPi1_SCK	CFGTM2R2_CH0	-	CFGIO_D0	TMC_OUT1
-	3	5	PME11	-	PME11	LPSPi2_PCS0	LPTMR0_ALT1	CFGTM2R2_CH5	-	CFGIO_D5	TMC_OUT5
-	4	6	PME10	-	PME10	CLKOUT	LPSPi2_PCS1	CFGTM2R2_CH4	-	CFGIO_D4	TMC_OUT4
-	-	7	PME13	-	PME13	-	LPSPi2_PCS2	CFGTM2R2_FLT0	-	-	-
3	5	8	PME5	-	PME5	TCLK2	CFGTM2R2_QD_PHA	CFGTM2R2_CH3	CAN0_TX	CFGIO_D7	EWDT_IN
4	6	9	PME4	-	PME4	-	CFGTM2R2_QD_PHB	CFGTM2R2_CH2	CAN0_RX	CFGIO_D6	EWDT_OUT_b
5	7	10	VDD	VDD	-	-	-	-	-	-	-
6	8	11	VDDA	VDDA	-	-	-	-	-	-	-
-	9	12	VREFH	VREFH	-	-	-	-	-	-	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
-	-	13	VREFL	VREFL	-	-	-	-	-	-	-
7	10	14	VSS	VSS	-	-	-	-	-	-	-
8	11	15	PMB7	EXTAL	PMB7	LPI2C0_SCL	-	-	-	-	-
9	12	16	PMB6	XTAL	PMB6	LPI2C0_SDA	-	-	-	-	-
-	-	17	PME14	-	PME14	CFGTMR0_FLT1	-	CFGTMR2_FLT1	-	-	-
-	13	18	PME3	-	PME3	CFGTMR0_FLT0	LPUART2_RTS	CFGTMR2_FLT0	-	TMC_IN6	COMP0_OUT
-	-	19	PME12	-	PME12	CFGTMR0_FLT3	LPUART2_TX	-	-	-	-
-	-	20	PMD17	-	PMD17	CFGTMR0_FLT2	LPUART2_RX	-	-	-	-
10	14	21	PMD16	-	PMD16	CFGTMR0_CH1	-	LPSP10_SIN	COMP0_RRT	-	-
11	15	22	PMD15	-	PMD15	CFGTMR0_CH0	-	LPSP10_SCK	-	-	-
12	16	23	PME9	-	PME9	CFGTMR0_CH7	LPUART2_CTS	-	-	-	-
-	-	24	PMD14	-	PMD14	CFGTMR2_CH5	LPUART1_TX	-	-	-	CLKOUT
-	-	25	PMD13	-	PMD13	CFGTMR2_CH4	LPUART1_RX	-	-	-	RTC_CLKOUT
13	17	26	PME8	COMP0_IN3	PME8	CFGTMR0_CH6	-	-	-	-	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
14	18	27	PMB5	-	PMB5	CFGTMR0_CH5	LPSPi0_PCS1	LPSPi0_PCS0	CLKOUT	TMC_IN0	-
15	19	28	PMB4	-	PMB4	CFGTMR0_CH4	LPSPi0_SOUT	-	-	TMC_IN1	-
16	20	29	PMC3	ADC0_CH11/COMP0_IN4	PMC3	CFGTMR0_CH3	CAN0_TX	LPUART0_TX	-	-	-
17	21	30	PMC2	ADC0_CH10/COMP0_IN5	PMC2	CFGTMR0_CH2	CAN0_RX	LPUART0_RX	-	-	-
-	22	31	PMD7	COMP0_IN6	PMD7	LPUART2_TX	-	CFGTMR2_FLT3	-	-	-
-	23	32	PMD6	COMP0_IN7	PMD6	LPUART2_RX	-	CFGTMR2_FLT2	-	-	-
18	24	33	PMD5	-	PMD5	CFGTMR2_CH3	LPTMR0_ALT2	CFGTMR2_FLT1	-	TMC_IN7	-
-	-	34	PMD12	-	PMD12	CFGTMR2_CH2	-	-	-	LPUART2_RTS	-
-	-	35	PMD11	-	PMD11	CFGTMR2_CH1	CFGTMR2_QD_PHA	-	-	LPUART2_CTS	-
-	-	36	PMD10	-	PMD10	CFGTMR2_CH0	CFGTMR2_QD_PHB	-	-	-	-
-	40	37	VSS	VSS	-	-	-	-	-	-	-
-	-	38	VDD	VDD	-	-	-	-	-	-	-
19	25	39	PMC1	ADC0_CH9	PMC1	CFGTMR0_CH1	LPSPi2_SOUT	-	-	CFGTMR1_CH7	-
-	26	40	PMC0	ADC0_CH8	PMC0	CFGTMR0_CH0	LPSPi2_SIN	-	-	CFGTMR1_CH6	-
-	-	41	PMD9	-	PMD9	-	CFGIO_D0	CFGTMR2_FLT3	-	CFGTMR1_CH5	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
-	-	42	PMD8	-	PMD8	-	-	CFGTMR2_FLT2	CFGIO_D1	CFGTMR1_CH4	-
-	27	43	PMC17	ADC0_CH15	PMC17	CFGTMR1_FLT3	CAN2_TX	-	-	-	-
20	28	44	PMC16	ADC0_CH14	PMC16	CFGTMR1_FLT2	CAN2_RX	-	-	-	-
21	29	45	PMC15	ADC0_CH13	PMC15	CFGTMR1_CH3	LPSPi2_SCK	-	-	TMC_IN8	-
22	30	46	PMC14	ADC0_CH12	PMC14	CFGTMR1_CH2	LPSPi2_PCS0	-	-	TMC_IN9	-
23	31	47	PMB3	ADC0_CH7	PMB3	CFGTMR1_CH1	LPSPi0_SIN	CFGTMR1_QD_PHA	-	TMC_IN2	-
24	32	48	PMB2	ADC0_CH6	PMB2	CFGTMR1_CH0	LPSPi0_SCK	CFGTMR1_QD_PHB	-	TMC_IN3	-
-	-	49	PMC13	-	PMC13	CFGTMR3_CH7	CFGTMR2_CH7	LPUART2_RTS	-	-	-
-	-	50	PMC12	-	PMC12	CFGTMR3_CH6	CFGTMR2_CH6	LPUART2_CTS	-	-	-
-	-	51	PMC11	-	PMC11	CFGTMR3_CH5	-	-	-	TMC_IN10	-
-	-	52	PMC10	-	PMC10	CFGTMR3_CH4	-	-	-	TMC_IN11	-
25	33	53	PMB1	ADC0_CH5/ADC1_CH15	PMB1	LPUART0_TX	LPSPi0_SOUT	TCLK0	CAN0_TX	-	-
26	34	54	PMB0	ADC0_CH4/ADC1_CH14	PMB0	LPUART0_RX	LPSPi0_PCS0	LPTMR0_ALT3	CAN0_RX	-	-
27	35	55	PMC9	-	PMC9	LPUART1_TX	CFGTMR1_FLT1	-	-	LPUART0_RTS	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
28	36	56	PMC8	-	PMC8	LPUART1_RX	CFGTMR1_FLT0	-	-	LPUART0_CTS	-
29	37	57	PMA7	ADC0_CH3	PMA7	CFGTMR0_FLT2	-	RTC_CLKIN	-	LPUART1_CTS	-
-	38	58	PMA6	ADC0_CH2	PMA6	CFGTMR0_FLT1	LPSP11_PCS1	-	-	LPUART1_CTS	-
-	39	59	PME7	-	PME7	CFGTMR0_CH7	CFGTMR3_FLT0	-	-	-	-
30	-	60	VSS	VSS	-	-	-	-	-	-	-
31	41	61	VDD	VDD	-	-	-	-	-	-	-
-	-	62	PMA17	-	PMA17	CFGTMR0_CH6	CFGTMR3_FLT0	EWDAT_OUT_b	-	-	-
-	-	63	PMB17	-	PMB17	CFGTMR0_CH5	LPSP11_PCS3	-	-	-	-
-	-	64	PMB16	ADC1_CH15	PMB16	CFGTMR0_CH4	LPSP11_SOUT	-	-	-	-
-	-	65	PMB15	ADC1_CH14	PMB15	CFGTMR0_CH3	LPSP11_SIN	-	-	-	-
-	-	66	PMB14	ADC1_CH9/ADC0_CH9	PMB14	CFGTMR0_CH2	LPSP11_SCK	-	-	-	-
32	42	67	PMB13	ADC1_CH8/ADC0_CH8	PMB13	CFGTMR0_CH1	CFGTMR3_FLT1	CAN2_TX	-	-	-
-	43	68	PMB12	ADC1_CH7	PMB12	CFGTMR0_CH0	CFGTMR3_FLT2	CAN2_RX	-	-	-
-	44	69	PMD4	ADC1_CH6	PMD4	CFGTMR0_FLT3	CFGTMR3_FLT3	-	-	-	-
33	45	70	PMD3	ADC1_CH3	PMD3	CFGTMR3_CH5	LPSP11_PCS0	CFGIO_D5	CFGIO_D7	TMC_IN4	NMI_b

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
34	46	71	PMD2	ADC1_CH2	PMD2	CFGTMR3_CH4	LPSP11_SOUT	CFGIO_D4	CFGIO_D6	TMC_IN5	-
35	47	72	PMA3	ADC1_CH1	PMA3	CFGTMR3_CH1	LPI2C0_SCL	EWDT_IN	CFGIO_D5	LPUART0_TX	-
36	48	73	PMA2	ADC1_CH0	PMA2	CFGTMR3_CH0	LPI2C0_SDA	EWDT_OUT_b	CFGIO_D4	LPUART0_RX	-
-	-	74	PMB11	-	PMB11	CFGTMR3_CH3	LPI2C0_HREQ	-	-	-	-
-	-	75	PMB10	-	PMB10	CFGTMR3_CH2	LPI2C0_SDAS	-	-	-	-
-	-	76	PMB9	-	PMB9	CFGTMR3_CH1	LPI2C0_SCLS	-	-	-	-
-	-	77	PMB8	-	PMB8	CFGTMR3_CH0	-	-	-	-	-
37	49	78	PMA1	ADC0_CH1/COMP0_IN1	PMA1	CFGTMR1_CH1	LPI2C0_SDAS	CFGIO_D3	CFGTMR1_QD_PHA	LPUART0_RTS	TMC_OUT0
38	50	79	PMA0	ADC0_CH0/COMP0_IN0	PMA0	CFGTMR2_CH1	LPI2C0_SCLS	CFGIO_D2	CFGTMR2_QD_PHA	LPUART0_CTS	TMC_OUT3
39	51	80	PMC7	ADC1_CH5	PMC7	LPUART1_TX	CAN1_TX	CFGTMR3_CH3	-	CFGTMR1_QD_PHA	-
40	52	81	PMC6	ADC1_CH4	PMC6	LPUART1_RX	CAN1_RX	CFGTMR3_CH2	-	CFGTMR1_QD_PHB	-
-	-	82	PMA16	ADC1_CH13	PMA16	CFGTMR1_CH3	LPSP11_PCS2	-	-	-	-
-	-	83	PMA15	ADC1_CH12	PMA15	CFGTMR1_CH2	LPSP10_PCS3	LPSP12_PCS3	-	-	-
-	53	84	PME6	ADC1_CH11	PME6	LPSP10_PCS2	-	CFGTMR3_CH7	-	LPUART1_RTS	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
-	54	85	PME2	ADC1_CH10	PME2	LPSPiO_SOUT	LPTMR0_ALT3	CFGTMR3_CH6	-	LPUART1_CTS	-
-	-	86	VSS	VSS	-	-	-	-	-	-	-
-	-	87	VDD	VDD	-	-	-	-	-	-	-
-	-	88	PMA14	-	PMA14	CFGTMR0_FLT0	CFGTMR3_FLT1	EWDT_IN	-	CFGTMR1_FLT0	-
41	55	89	PMA13	-	PMA13	CFGTMR1_CH7	CAN1_TX	-	-	CFGTMR2_QD_PHA	-
42	56	90	PMA12	-	PMA12	CFGTMR1_CH6	CAN1_RX	-	-	CFGTMR2_QD_PHB	-
43	57	91	PMA11	-	PMA11	CFGTMR1_CH5	-	CFGIO_D1	COMP0_RRT	-	-
44	58	92	PMA10	-	PMA10	CFGTMR1_CH4	-	CFGIO_D0	-	-	JTAG_TDO/noetm_TRACE_SWO
-	59	93	PME1	-	PME1	LPSPiO_SIN	LPI2C0_HREQ	-	LPSPi1_PCS0	CFGTMR1_FLT1	-
-	60	94	PME0	-	PME0	LPSPiO_SCK	TCLK1	-	LPSPi1_SOUT	CFGTMR1_FLT2	-
45	61	95	PMC5	-	PMC5	CFGTMR2_CH0	RTC_CLKOUT	-	-	CFGTMR2_QD_PHB	JTAG_TDI
46	62	96	PMC4	COMP0_IN2	PMC4	CFGTMR1_CH0	RTC_CLKOUT	-	EWDT_IN	CFGTMR1_QD_PHB	JTAG_TCLK/SWD_CLK
47	63	97	PMA5	-	PMA5	-	TCLK1	-	-	-	RESET_b
48	64	98	PMA4	-	PMA4	-	-	COMP0_OUT	EWDT_OUT_b	-	JTAG_TMS/SWD_DIO
-	-	99	PMA9	-	PMA9	LPUART2_TX	LPSPi2_PCS0	CFGIO_D7	CFGTMR3_FLT2	CFGTMR1_FLT3	-

G32A1445			GPIO	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
48 pin LQFP	64pin LQFP	100 pin LQFP									
-	-	100	PMA8	-	PMA8	LPUART2_RX	LPSPi2_SOUT	CFGIO_D6	CFGTMR3_FLT3	-	-

6 输入复用优先级

输入复用优先级如下表所示：

表格 6 输入复用优先级

功能	优先级	PM_PINCTR Lx[MUXCTRL]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
CAN0_RX	1	0x0000 0011	30	21	17	PMC2
	2	0x0000 0101	9	6	4	PME4
	3	0x0000 0101	54	34	26	PMB0
	4	-	-	-	-	禁止低电平
CAN1_RX	1	0x0000 0011	81	52	40	PMC6
	2	0x0000 0011	90	56	42	PMA12
	3	-	-	-	-	禁止低电平
CAN2_RX	1	0x0000 0011	44	28	20	PMC16
	2	0x0000 0100	68	43	-	PMB12
	3	-	-	-	-	禁止低电平
EWDT_IN	1	0x0000 0100	72	47	35	PMA3
	2	0x0000 0101	96	62	46	PMC4
	3	0x0000 0100	88	-	-	PMA14
	4	0x0000 0111	8	5	3	PME5
	5	-	-	-	-	禁止低电平
TCLK1	1	0x0000 0011	94	60	-	PME0
	2	0x0000 0011	97	63	47	PMA5
	3	-	-	-	-	禁止低电平
CFGTMR0_C H0	1	0x0000 0010	68	43	-	PMB12
	2	0x0000 0010	22	15	11	PMD15
	3	0x0000 0010	40	26	-	PMC0
	4	-	-	-	-	禁止低电平
CFGTMR0_C H1	1	0x0000 0010	39	25	19	PMC1
	2	0x0000 0010	67	42	32	PMB13
	3	0x0000 0010	21	14	10	PMD16
	4	-	-	-	=	禁止低电平
CFGTMR0_C H2	1	0x0000 0010	4	2	2	PMD0
	2	0x0000 0010	30	21	17	PMC2
	3	0x0000 0010	66	-	-	PMB14

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
	4	-	-	-	-	禁止低电平
CFGTMR0_C H3	1	0x0000 0010	65	-	-	PMB15
	2	0x0000 0010	3	1	1	PMD1
	3	0x0000 0010	29	20	16	PMC3
	4	-	-	-	-	禁止低电平
CFGTMR0_C H4	1	0x0000 0010	28	19	15	PMB4
	2	0x0000 0010	64	-	-	PMB16
	3	-	-	-	-	禁止低电平
CFGTMR0_C H5	1	0x0000 0010	27	18	14	PMB5
	2	0x0000 0010	63	-	-	PMB17
	3	-	-	-	-	禁止低电平
CFGTMR0_C H6	1	0x0000 0010	26	17	13	PME8
	2	0x0000 0010	62	-	-	PMA17
	3	-	-	-	-	禁止低电平
CFGTMR0_C H7	1	0x0000 0010	23	16	12	PME9
	2	0x0000 0010	59	39	-	PME7
	3	-	-	-	-	禁止低电平
CFGTMR0_FL T0	1	0x0000 0010	88	-	-	PMA14
	2	0x0000 0010	18	13	-	PME3
	3	-	-	-	-	禁止低电平
CFGTMR0_FL T1	1	0x0000 0010	58	38	-	PMA6
	2	0x0000 0010	17	-	-	PME14
	3	-	-	-	-	禁止低电平
CFGTMR0_FL T2	1	0x0000 0010	57	37	29	PMA7
	2	0x0000 0010	20	-	-	PMD17
	3	-	-	-	-	禁止低电平
CFGTMR0_FL T3	1	0x0000 0010	69	44	-	PMD4
	2	0x0000 0010	19	-	-	PME12
	3	-	-	-	-	禁止低电平
CFGTMR1_C H0	1	0x0000 0010	48	32	24	PMB2
	2	0x0000 0010	96	62	46	PMC4
	3	-	-	-	-	禁止低电平

功能	优先级	PM_PINCTR Lx[MUXCTRL]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
CFGTMR1_C H1	1	0x0000 0010	78	49	37	PMA1
	2	0x0000 0010	47	31	23	PMB3
	3	-	-	-	-	禁止低电平
CFGTMR1_C H2	1	0x0000 0010	46	30	22	PMC14
	2	0x0000 0010	83	-	-	PMA15
	3	-	-	-	-	禁止低电平
CFGTMR1_C H3	1	0x0000 0010	45	29	21	PMC15
	2	0x0000 0010	82	-	-	PMA16
	3	-	-	-	-	禁止低电平
CFGTMR1_C H4	1	0x0000 0110	42	-	-	PMD8
	2	0x0000 0010	92	58	44	PMA10
	3	-	-	-	-	禁止低电平
CFGTMR1_C H5	1	0x0000 0010	91	57	43	PMA11
	2	0x0000 0110	41	-	-	PMD9
	3	-	-	-	-	禁止低电平
CFGTMR1_C H6	1	0x0000 0010	90	56	42	PMA12
	2	0x0000 0110	40	26	-	PMC0
	3	-	-	-	-	禁止低电平
CFGTMR1_C H7	1	0x0000 0110	39	25	19	PMC1
	2	0x0000 0010	89	55	41	PMA13
	3	-	-	-	-	禁止低电平
CFGTMR1_FL T0	1	0x0000 0110	88	-	-	PMA14
	2	0x0000 0011	56	36	28	PMC8
	3	-	-	-	-	禁止低电平
CFGTMR1_FL T1	1	0x0000 0110	93	59	-	PME1
	2	0x0000 0011	55	35	27	PMC9
	3	-	-	-	-	禁止低电平
CFGTMR1_FL T2	1	0x0000 0010	44	28	20	PMC16
	2	0x0000 0110	94	60	-	PME0
	3	-	-	-	-	禁止低电平
CFGTMR1_FL T3	1	0x0000 0110	99	-	-	PMA9
	2	0x0000 0010	43	27	-	PMC17

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
	3	-	-	-	-	禁止低电平
CFGTMR1_Q D_PHA	1	0x0000 0101	78	49	37	PMA1
	2	0x0000 0100	47	31	23	PMB3
	3	0x0000 0110	80	51	39	PMC7
	4	-	-	-	-	禁止低电平
CFGTMR1_Q D_PHB	1	0x0000 0100	48	32	24	PMB2
	2	0x0000 0110	96	62	46	PMC4
	3	0x0000 0110	81	52	40	PMC6
	4	-	-	-	-	禁止低电平
CFGTMR2_C H0	1	0x0000 0100	4	2	2	PMD0
	2	0x0000 0010	95	61	45	PMC5
	3	0x0000 0010	36	-	-	PMD10
	4	-	-	-	-	禁止低电平
CFGTMR2_C H1	1	0x0000 0100	3	1	1	PMD1
	2	0x0000 0010	79	50	38	PMA0
	3	0x0000 0010	35	-	-	PMD11
	4	-	-	-	-	禁止低电平
CFGTMR2_C H2	1	0x0000 0010	34	-	-	PMD12
	2	0x0000 0100	9	6	4	PME4
	3	-	-	-	-	禁止低电平
CFGTMR2_C H3	1	0x0000 0100	8	5	3	PME5
	2	0x0000 0010	33	24	18	PMD5
	3	-	-	-	-	禁止低电平
CFGTMR2_C H4	1	0x0000 0010	25	-	-	PMD13
	2	0x0000 0100	6	4	-	PME10
	3	-	-	-	-	禁止低电平
CFGTMR2_C H5	1	0x0000 0010	24	-	-	PMD14
	2	0x0000 0100	5	3	-	PME11
	3	-	-	-	-	禁止低电平
CFGTMR2_C H6	1	0x0000 0100	2	-	-	PME15
	2	0x0000 0011	50	-	-	PMC12
	3	-	-	-	-	禁止低电平

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引 脚编号	64 封装引脚 编号	48 封装引脚 编号	引脚
CFGTMR2_C H7	1	0x0000 0011	49	-	-	PMC13
	2	0x0000 0100	1	-	-	PME16
	3	-	-	-	-	禁止低电平
CFGTMR2_FL T0	1	0x0000 0100	7	-	-	PME13
	2	0x0000 0100	18	13	-	PME3
	3	-	-	-	-	禁止低电平
CFGTMR2_FL T1	1	0x0000 0100	17	-	-	PME14
	2	0x0000 0100	33	24	18	PMD5
	3	-	-	-	-	禁止低电平
CFGTMR2_FL T2	1	0x0000 0100	32	23	-	PMD6
	2	0x0000 0100	42	-	-	PMD8
	3	-	-	-	-	禁止低电平
CFGTMR2_FL T3	1	0x0000 0100	31	22	-	PMD7
	2	0x0000 0100	41	-	-	PMD9
	3	-	-	-	-	禁止低电平
CFGTMR2_Q D_PHA	1	0x0000 0011	8	5	3	PME5
	2	0x0000 0101	79	50	38	PMA0
	3	0x0000 0011	35	-	-	PMD11
	4	0x0000 0110	89	55	41	PMA13
	5	-	-	-	-	禁止低电平
CFGTMR2_Q D_PHB	1	0x0000 0110	95	61	45	PMC5
	2	0x0000 0011	36	-	-	PMD10
	3	0x0000 0011	9	6	4	PME4
	4	0x0000 0110	90	56	42	PMA12
	5	-	-	-	-	禁止低电平
CFGTMR3_C H0	1	0x0000 0010	77	-	-	PMB8
	2	0x0000 0010	73	48	36	PMA2
	3	-	-	-	-	禁止低电平
CFGTMR3_C H1	1	0x0000 0010	72	47	35	PMA3
	2	0x0000 0010	76	-	-	PMB9
	3	-	-	-	-	禁止低电平
	1	0x0000 0100	81	52	40	PMC6

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
CFGTMR3_C H2	2	0x0000 0010	75	-	-	PMB10
	3	-	-	-	-	禁止低电平
CFGTMR3_C H3	1	0x0000 0010	74	-	-	PMB11
	2	0x0000 0100	80	51	39	PMC7
	3	-	-	-	-	禁止低电平
CFGTMR3_C H4	1	0x0000 0010	71	46	34	PMD2
	2	0x0000 0010	52	-	-	PMC10
	3	-	-	-	-	禁止低电平
CFGTMR3_C H5	1	0x0000 0010	51	-	-	PMC11
	2	0x0000 0010	70	45	33	PMD3
	3	-	-	-	-	禁止低电平
CFGTMR3_C H6	1	0x0000 0100	85	54	-	PME2
	2	0x0000 0010	50	-	-	PMC12
	3	-	-	-	-	禁止低电平
CFGTMR3_C H7	1	0x0000 0010	49	-	-	PMC13
	2	0x0000 0100	84	53	-	PME6
	3	-	-	-	-	禁止低电平
CFGTMR3_FL T0	1	0x0000 0011	59	39	-	PME7
	2	0x0000 0011	62	-	-	PMA17
	3	-	-	-	-	禁止低电平
CFGTMR3_FL T1	1	0x0000 0011	67	42	32	PMB13
	2	0x0000 0011	88	-	-	PMA14
	3	-	-	-	-	禁止低电平
CFGTMR3_FL T2	1	0x0000 0011	68	43	-	PMB12
	2	0x0000 0101	99	-	-	PMA9
	3	-	-	-	-	禁止低电平
CFGTMR3_FL T3	1	0x0000 0011	69	44	-	PMD4
	2	0x0000 0101	100	-	-	PMA8
	3	-	-	-	-	禁止低电平
CFGIO_D0	1	0x0000 0110	4	2	2	PMD0
	2	0x0000 0100	92	58	44	PMA10
	3	0x0000 0011	41	-	-	PMD9

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
	4	-	-	-	-	禁止低电平
CFGIO_D1	1	0x0000 0110	3	1	1	PMD1
	2	0x0000 0100	91	57	43	PMA11
	3	0x0000 0101	42	-	-	PMD8
	4	-	-	-	-	禁止低电平
CFGIO_D2	1	0x0000 0110	2	-	-	PME15
	2	0x0000 0100	79	50	38	PMA0
	3	-	-	-	-	禁止低电平
CFGIO_D3	1	0x0000 0100	78	49	37	PMA1
	2	0x0000 0110	1	-	-	PME16
	3	-	-	-	-	禁止低电平
CFGIO_D4	1	0x0000 0100	71	46	34	PMD2
	2	0x0000 0110	6	4	-	PME10
	3	0x0000 0101	73	48	36	PMA2
	4	-	-	-	-	禁止低电平
CFGIO_D5	1	0x0000 0110	5	3	-	PME11
	2	0x0000 0100	70	45	33	PMD3
	3	0x0000 0101	72	47	35	PMA3
	4	-	-	-	-	禁止低电平
CFGIO_D6	1	0x0000 0110	9	6	4	PME4
	2	0x0000 0100	100	-	-	PMA8
	3	0x0000 0101	71	46	34	PMD2
	4	-	-	-	-	禁止低电平
CFGIO_D7	1	0x0000 0110	8	5	3	PME5
	2	0x0000 0100	99	-	-	PMA9
	3	0x0000 0101	70	45	33	PMD3
	4	-	-	-	-	禁止低电平
LPI2C0_HREQ	1	0x0000 0011	74	-	-	PMB11
	2	0x0000 0011	93	59	-	PME1
	3	-	-	-	-	禁止低电平
LPI2C0_SCL	1	0x0000 0011	72	47	35	PMA3
	2	0x0000 0010	15	11	8	PMB7

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引 脚编号	64 封装引脚 编号	48 封装引脚 编号	引脚
	3	-	-	-	-	禁止低电平
LPI2C0_SCLS	1	0x0000 0011	76	-	-	PMB9
	2	0x0000 0011	79	50	38	PMA0
	3	-	-	-	-	禁止低电平
LPI2C0_SDA	1	0x0000 0010	16	12	9	PMB6
	2	0x0000 0011	73	48	36	PMA2
	3	-	-	-	-	禁止低电平
LPI2C0_SDAS	1	0x0000 0011	78	49	37	PMA1
	2	0x0000 0011	75	-	-	PMB10
	3	-	-	-	-	禁止低电平
LPSPi0_PCS0	1	0x0000 0011	54	34	26	PMB0
	2	0x0000 0100	27	18	14	PMB5
	3	-	-	-	-	禁止低电平
LPSPi0_SCK	1	0x0000 0011	48	32	24	PMB2
	2	0x0000 0010	94	60	-	PME0
	3	0x0000 0100	22	15	11	PMD15
	4	-	-	-	-	禁止低电平
LPSPi0_SIN	1	0x0000 0010	93	59	-	PME1
	2	0x0000 0011	47	31	23	PMB3
	3	0x0000 0100	21	14	10	PMD16
	4	-	-	-	-	禁止低电平
LPSPi0_SOUT	1	0x0000 0010	85	54	-	PME2
	2	0x0000 0011	28	19	15	PMB4
	3	0x0000 0011	53	33	25	PMB1
	4	-	-	-	-	禁止低电平
LPSPi1_PCS0	1	0x0000 0011	70	45	33	PMD3
	2	0x0000 0101	93	59	-	PME1
	3	-	-	-	-	禁止低电平
LPSPi1_SCK	1	0x0000 0011	4	2	2	PMD0
	2	0x0000 0101	66	-	-	PMB14
	3	-	-	-	-	禁止低电平
LPSPi1_SIN	1	0x0000 0011	65	-	-	PMB15

功能	优先级	PM_PINCTR Lx[MUXCTR L]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
	2	0x0000 0011	3	1	1	PMD1
	3	-	-	-	-	禁止低电平
LPSP11_SOUT	1	0x0000 0011	71	46	34	PMD2
	2	0x0000 0011	64	-	-	PMB16
	3	0x0000 0101	94	60	-	PME0
	4	-	-	-	-	禁止低电平
LPSP12_PCS0	1	0x0000 0011	99	-	-	PMA9
	2	0x0000 0011	46	30	22	PMC14
	3	0x0000 0010	5	3	-	PME11
	4	-	-	-	-	禁止低电平
LPSP12_SCK	1	0x0000 0011	2	-	-	PME15
	2	0x0000 0011	45	29	21	PMC15
	3	-	-	-	-	禁止低电平
LPSP12_SIN	1	0x0000 0011	1	-	-	PME16
	2	0x0000 0011	40	26	-	PMC0
	3	-	-	-	-	禁止低电平
LPSP12_SOUT	1	0x0000 0011	100	-	-	PMA8
	2	0x0000 0011	39	25	19	PMC1
	3	-	-	-	-	禁止低电平
LPTMR0_ALT 3	1	0x0000 0011	85	54	-	PME2
	2	0x0000 0100	54	34	26	PMB0
	3	-	-	-	-	禁止低电平
LPUART0_CT S	1	0x0000 0110	56	36	28	PMC8
	2	0x0000 0110	79	50	38	PMA0
	3	-	-	-	-	禁止低电平
LPUART0_RX	1	0x0000 0110	73	48	36	PMA2
	2	0x0000 0010	54	34	26	PMB0
	3	0x0000 0100	30	21	17	PMC2
	4	-	-	-	-	禁止低电平
LPUART0_TX	1	0x0000 0110	72	47	35	PMA3
	2	0x0000 0010	53	33	25	PMB1
	3	0x0000 0100	29	20	16	PMC3

功能	优先级	PM_PINCTRLx[MUXCTRL]位的值	100 封装引脚编号	64 封装引脚编号	48 封装引脚编号	引脚
	4	-	-	-	-	禁止低电平
LPUART1_CTS	1	0x0000 0110	58	38	-	PMA6
	2	0x0000 0110	85	54	-	PME2
	3	0x0000 0010	2	-	-	PME15
	4	-	-	-	-	禁止低电平
LPUART1_RX	1	0x0000 0010	81	52	40	PMC6
	2	0x0000 0010	56	36	28	PMC8
	3	0x0000 0011	25	-	-	PMD13
	4	-	-	-	-	禁止低电平
LPUART1_TX	1	0x0000 0010	55	35	27	PMC9
	2	0x0000 0010	80	51	39	PMC7
	3	0x0000 0011	24	-	-	PMD14
	4	-	-	-	-	禁止低电平
LPUART2_CTS	1	0x0000 0011	23	16	12	PME9
	2	0x0000 0110	35	-	-	PMD11
	3	0x0000 0100	50	-	-	PMC12
	4	-	-	-	-	禁止低电平
LPUART2_RX	1	0x0000 0010	32	23	-	PMD6
	2	0x0000 0011	20	-	-	PMD17
	3	0x0000 0010	100	-	-	PMA8
	4	-	-	-	-	禁止低电平
LPUART2_TX	1	0x0000 0010	31	22	-	PMD7
	2	0x0000 0011	19	-	-	PME12
	3	0x0000 0010	99	-	-	PMA9
	4	-	-	-	-	禁止低电平

7 电气特性

7.1 通用工作条件下的测试

7.1.1 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不能保证在此条件下的功能运行正常。同时，必须严格按照表格中定义的所有条件操作，违反任何一个或多个条件都不能保证功能的正常运行。

除非特别说明，否则所有的最大值和最小值可支持全电压和全温度范围。

表格 7 绝对最大额定值⁽¹⁾

符号	参数 ⁽¹⁾	最小值	典型值	最大值	单位
$T_A^{(2)}$	环境温度	-40	-	125	°C
T_{STG}	储存温度范围	-55	-	165	
$I_{INJ}^{(3)}$	可注入 I/O 引脚的连续直流输入电流（正/负）	-3	-	+3	mA
$\Sigma I_{INJ} $	所有引脚的总注入电流（连续直流限制）	-	-	30	
$V_{DD}^{(4)}$	2.7V~5.5V 输入供电电压	-0.3	-	5.8 ⁽⁵⁾	V
V_{REFH}	3.3V/5.0V ADC 高参考电压	-0.3	-	5.8 ⁽⁵⁾	
V_{IN}	相对于 V_{SS} 的任何 I/O 引脚上的连续直流电压	-0.8	-	5.8 ⁽⁶⁾	
$V_{IN_TRANSIENT}$	I/O 引脚上允许的瞬态过冲电压超过 V_{IN} 限制	-	-	6.8 ⁽⁷⁾	
$T_{ramp_MCU}^{(8)}$	MCU 电源上升斜率	0.5V/min	-	100V/ms	-
$T_{ramp}^{(9)}$	ECU 电源上升斜率	0.5V/min	-	500V/ms	-

注：

- (1) 除非特别说明，否则所有电压以 V_{SS} 作参考；
- (2) T_J （结温度）=135°C。假设运行模式下 $T_A=125^\circ\text{C}$ ；
 T_J （结温度）=125°C。假设高速运行模式下 $T_A=105^\circ\text{C}$ ；
 假设 2s2p 板的最大 θ_{JA} 。参见表格 49 温度特性；
- (3) 当输入焊盘电压接近 V_{DD} 或 V_{SS} 时，无法进行电流注入；
- (4) 当 V_{DD} 在最小值和绝对最大值之间变化时，I/O 和 ADC 两者都将发生变化。有关详细信息，请分别参见 I/O 参数和 ADC 电气规范部分；
- (5) 当寿命为 60 秒时：无限制，即该部分未被保持在复位状态并可以进行切换；
 当寿命为 10 小时时：该部分通过外部电路保持在复位状态，即无法进行切换；
 未处于复位状态下，使用 5.5V~5.8V 之间的电源进行操作时，允许累计 60 秒，但该部分将以减少的功能运行；
 通过外部电路保持在复位状态下，使用 5.5V~5.8V 之间的电源进行操作时，允许累计 10 小时；
- 所有电源应始终保持在给定的工作条件内，一旦脱离工作条件，应重置设备或断电。如果超过给定的时间或供电电压限制，可能会导致设备永久性的损坏；
- (6) 遵守最大电流注入限制；
- (7) 60 秒寿命条件下；设备处于复位状态（无输出启用/切换）；

- (8) 在典型操作条件和绝对最大斜率下，MCU 电源上升斜率。
- (9) 在典型操作条件和绝对最大斜率下，电子控制单元（ECU）的电源上升斜率；

7.1.2 电压和电流工作要求

在 LVR 的电平之上设备的功能得到保证，但当电压低于 2.7V 时，ADC、COMP、IO 和通信模块的电气性能会相应降低。

表格 8 电压和电流电气特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$V_{DD}^{(2)(3)}$	电源电压	2.7 ⁽⁴⁾	-	5.5	V
$V_{DDA}^{(3)}$	模拟电源电压	2.7	-	5.5	
$V_{DD}-V_{DDA}^{(3)}$	$V_{DD}-V_{DDA}$ 电压差	-0.1	-	0.1	
$V_{ODPU}^{(5)}$	漏极开路上拉电压	V_{DD}	-	V_{DD}	
$V_{DD(OFF)}$	当 VDD 引脚未由任何外部电源供电时，允许在 VDD 引脚上产生的电压	0	-	0.1	V
$I_{INJ}^{(6)}$	I/O 引脚的注入电流（连续直流）	-3	-	+3	mA
ΣI_{INJ_OP}	所有 I/O 引脚的总注入电流（连续直流），从而不会降低模拟模块的精度：ADC 和 ACOMP（请参阅“模拟模块”一节）	-	-	30	
$V_{REFINTL}$	ADC 内置参考电压低电平	-0.1	-	0.1	V
$V_{REFINTH}^{(7)}$	ADC 内置参考电压高电平	2.7	-	$V_{DDA}+0.1$	

注：

- (1) 除非特别说明，表格中的数据是在典型的硅工艺下， $T_A=25^{\circ}C$ ， $V_{DD}=V_{DDA}=V_{REFINTH}=5V$ 的条件下进行测试的。
- (2) I/O 和 ADC 的模拟特性会随着 V_{DD} 在最小值和最大值之间的变化而改变。
- (3) V_{DD} 和 V_{DDA} 必须短接到 PCB 上的公共电源。 V_{DD} 和 V_{DDA} 之间的差分电压仅用于 RF-AC。选择合适的去耦电容器用于过滤电源上的噪声。
- (4) 当从内部 HSICLK 执行时，所有模式下都在 2.7V 下工作。
- (5) 漏极开路输出必须拉至 V_{DD} 。
- (6) 当输入焊盘电压电平接近 V_{DD} 或 V_{SS} 时，实际上无法进行电流注入。
- (7) $V_{REFINTH}$ 应始终 $\leq V_{DDA}+0.1 V$ 和 $V_{DD}+0.1 V$ 。

7.1.3 温度运行特性

表格 9 温度运行特性

符号	参数	条件	最小值	典型值	最大值	单位
$T_{A(MGP)}$	偏置条件下的环境温度	≤ 80 MHz, RUN 模式	-40	-	125	$^{\circ}C$
$T_{J(MGP)}$	偏置条件下的结温度	≤ 80 MHz, RUN 模式	-40	-	135	
$T_{A(CGP)}$	偏置条件下的环境温度	≤ 112 MHz, HSR 模式	-40	-	85	
$T_{J(CGP)}$	偏置条件下的结温度	≤ 112 MHz, HSR 模式	-40	-	105	
$T_{A(VGP)}$	偏置条件下的环境温度	≤ 112 MHz, HSR 模式	-40	-	105	
$T_{J(VGP)}$	偏置条件下的结温度	≤ 112 MHz, HSR 模式	-40	-	125	

7.1.4 电源和接地引脚

图 5 LQFP64 封装引出线分离式去耦

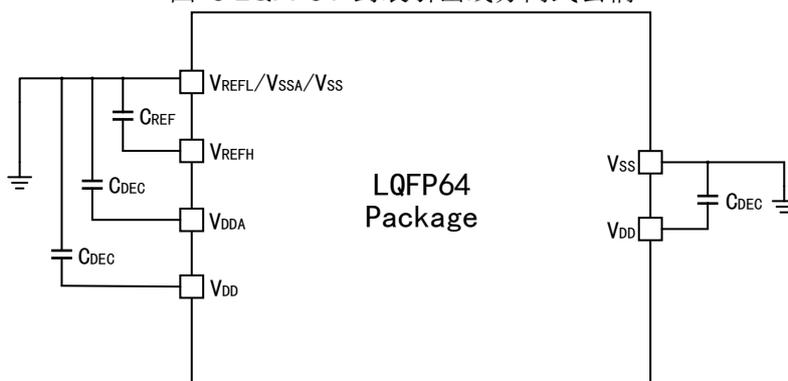
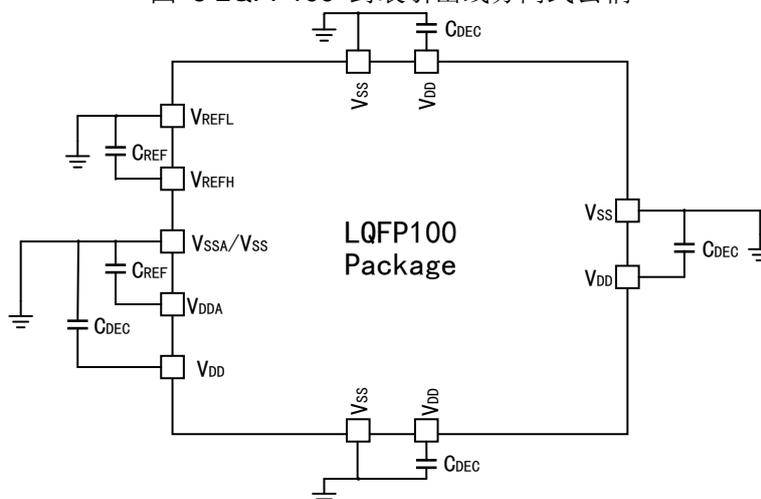


图 6 LQFP100 封装引出线分离式去耦



注：VDD 和 VDDA 必须短接到 PCB 上的公共电源

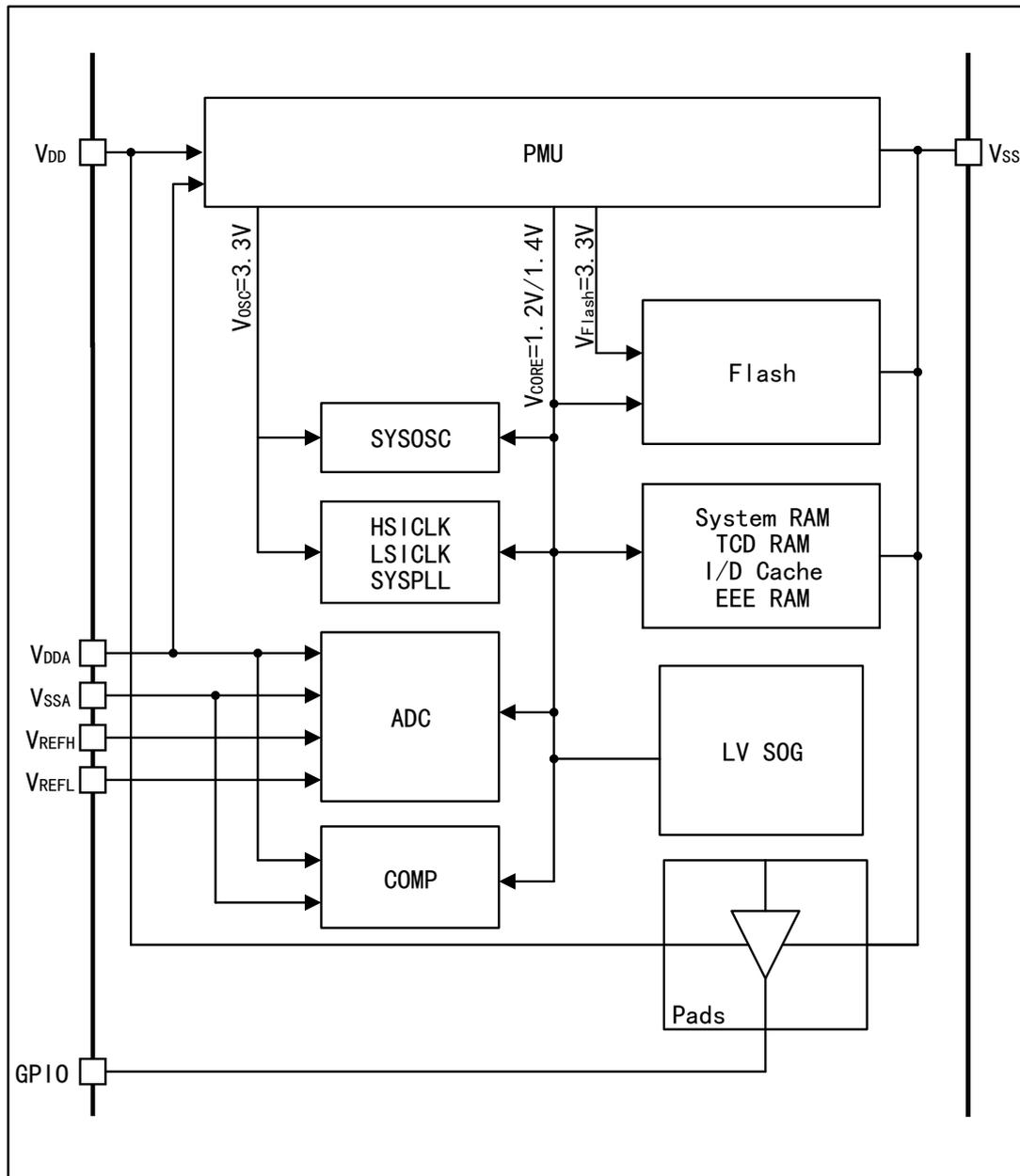
表格 10 去耦电容⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	典型值	最大值	单位
$C_{DEC}^{(4)(6)(7)}$	去耦电容	70	100	-	nF
$C_{REFINT}^{(4)(5)}$	ADC 内置参考高去耦电容	70	100	-	

注：

- (1) VDD 和 VDDA 必须短接到 PCB 上的公共电源。VDD 和 VDDA 之间的差分电压仅用于 RF-AC。选择合适的去耦电容用于过滤电源上的噪声。
- (2) 所有 VSS 引脚都应连接到 PCB 级别的公共接地。
- (3) 必须选择低 ESR 陶瓷电容器（例如 X7R 型）作为去耦电容。
- (4) 在考虑部件老化和公差之后建议的最小值。
- (5) 所有去耦电容应尽可能靠近对应的电源和接地引脚。
- (6) 为了提高性能，推荐并联使用 0.1 μ F、10 μ F 和 1 nF 的电容。
- (7) 去耦设备电源的过滤必须符合以下最佳实践规则：
 - 保护装置的接地与集成电路下的接地平面连接得尽可能短。
 - 从保护装置到走线或到地面的走线长度不得超过 1 mm。
 - 保护/去耦电容必须位于连接到该组件的走线路径上。
 - 保护/去耦电容必须尽可能靠近设备的输入引脚（最大 2 mm）。

图 7 电源方案



7.1.5 低压复位和检测系统特性

表格 11 POR 特性

符号	参数	最小值	典型值	最大值	单位
V _{POR}	V _{DD} 上电复位上升和下降检测电压	1.1	1.6	2.0	V
V _{BG}	带隙电压基准	0.97	1.00	1.03	V

表格 12 LVR 特性

符号	参数	最小值	典型值	最大值	单位
V _{LVR}	低电压复位下降阈值 (RUN, HSR, STOP 模式)	2.50	2.58	2.7	V
	低电压复位下降阈值 (VLPS/VLPR 模式)	1.97	2.22	2.44	V

符号	参数	最小值	典型值	最大值	单位
$V_{LVR(HYST)}^{(1)}$	低电压复位迟滞（上电电压大于 V_{POR} 时）	-	45	-	mV
	低电压复位迟滞（上电电压小于 V_{POR} 时）	-	110	-	mV

注：（1）上升阈值是下降阈值和迟滞电压的总和。

表格 13 LVD 特性

符号	参数	最小值	典型值	最大值	单位
V_{LVD}	低电压检测下降阈值	2.8	2.875	3	V
$V_{LVD(HYST)}^{(1)}$	低电压检测迟滞	-	50	-	mV

注：（1）上升阈值是下降阈值和迟滞电压的总和。

表格 14 LVW 特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
V_{LVW}	低电压报警下降阈值	4.19	4.305	4.5	V
$V_{LVW(HYST)}^{(2)}$	低电压报警迟滞	-	75	-	mV

注：

- （1） 当电源在在 3.3 V 范围内工作时，由于此时电源一直小于 V_{LVW} ，因此需要始终设置 V_{LVW} （即 PMU_LVDCSTS2 [LVWHWINTREN]应保持清除状态）。
- （2） 上升阈值是下降阈值和迟滞电压的总和。

7.1.6 电源模式转换特性

下表中的所有规格均采用此时钟配置。

表格 15 时钟配置

模式	时钟配置	
RUN 模式	时钟源	HSICKL
	SYS_CLK/CORE_CLK	48MHz
	BUS_CLK	48MHz
	FLASH_CLK	24MHz
HSR 模式	时钟源	SYSPLL
	SYS_CLK/CORE_CLK	112MHz
	BUS_CLK	56MHz
	FLASH_CLK	28MHz
VLPR 模式	时钟源	LSICKL
	SYS_CLK/CORE_CLK	4MHz
	BUS_CLK	4MHz
	FLASH_CLK	1MHz
STOP1/STOP2 模式	时钟源	HSICKL

模式	时钟配置	
	SYS_CLK/CORE_CLK	48MHz
	BUS_CLK	48MHz
	FLASH_CLK	24MHz
VLPS 模式	禁止所有时钟源 ⁽¹⁾	

注：（1）指 HSICLK/SYSOSC/SYSPLL

表格 16 电源模式转换操作行为

符号	参数	最小值	典型值	最大值	单位
t_{POR}	在上电复位事件之后，在芯片的工作温度范围内，从 V_{DD} 到 2.7V 到执行第一指令所需的时间。	-	325	-	μs
	RUN→STOP1	0.35	0.38	0.4	μs
	RUN→STOP2	0.2	0.23	0.25	μs
	RUN→VLPS	0.3	0.35	0.4	μs
	RUN→VLPR	3.5	3.8	5	μs
	RUN→Compute operation	0.72	0.75	0.77	μs
	HSR ⁽¹⁾ →Compute operation	0.3	0.31	0.35	μs
	VLPS→RUN	8	-	17	μs
	VLPS→VLPR	18.8	23	27.75	μs
	VLPS→Asynchronous DMA Wake-up	105	110	125	μs
	VLPR→VLPS	5.1	5.7	6.5	μs
	VLPR→RUN	19	-	26	μs
	STOP1→RUN	0.07	0.075	0.08	μs
	STOP2→RUN	0.07	0.075	0.08	μs
	STOP1→Asynchronous DMA Wake-up	1	1.1	1.3	μs
	STOP2→Asynchronous DMA Wake-up	1	1.1	1.3	μs
	Pin reset→Code execution	-	214	-	μs

注：（1）只有当需要使用超过 80 MHz 的频率时，才应使用 HSR 模式。当使用 80 MHz 及以下频率时，建议使用 RUN 模式。

7.1.7 功耗

表格 17 功耗⁽¹⁾

工作模式	条件	典型值				最大值			单位
		25℃	85℃	105℃	125℃	85℃	105℃	125℃	
VLPS ⁽²⁾	关闭外设 ⁽³⁾	57.5	390.2	787.6	-	599	1408	2174	μA
	使能 LPTMR	63.6	396.6	793.8	-	592	1402	2179	
VLPR	关闭外设 ⁽⁴⁾	1.0	1.5	1.9	-	1.58	2.59	3.54	mA

工作模式	条件	典型值				最大值			单位
		25℃	85℃	105℃	125℃	85℃	105℃	125℃	
	使能外设, (情形 1) (4)	1.2	1.5	2.3	-	2.01	2.96	4.91	
	使能外设, (情形 2) (5)	1.3	1.7	2.4	3.6	1.9	2.97	-	
STOP1	-	6.2	6.7	7.4	-	7.07	7.97	9.19	
STOP2	-	6.4	6.9	7.5	-	7.2	8.07	9.35	
RUN	48MHz, 关闭外设	11.8	12.6	13.6	-	16.13	17.79	18.08	
	48MHz, 使能外设	15.2	15.8	16.9	-	17.24	18.9	19.87	
	64MHz, 关闭外设	17.8	18.5	19.6	-	19.8	20.56	22.63	
	64MHz, 使能外设	19.6	20	20.9	-	21.29	22.47	24.18	
	80MHz, 关闭外设	15.4	16.2	17.3	-	17.56	19.21	20.1	
	80MHz, 使能外设	20.3	21.1	22.2	-	21.91	23.18	25.34	
HSR (6)	112MHz, 关闭外设	21.9	22.8	23.9	-	23.45	24.78	-	
	112MHz, 使能外设	25.2	26.0	27.2	-	26.98	28.27	-	
IDDA/MHz (7)		378	381	390	-	435	445	484	(μ A/MHz)

注:

- (1) 除非特别说明, 表格中的数据是在典型的硅工艺下, $T_A=25^\circ\text{C}$, $V_{DD}=V_{DDA}=V_{REFINTH}=5\text{V}$ 的条件下进行测试的。这些数值仅作为典型硅工艺和用户配置的指标, 实际数值可能因硅分布和用户配置的不同而有所差异。所有输出引脚都是悬空的, 并且对所有未使用的输入引脚启用片内的下拉电阻。
- (2) 当前数据是基于简化配置的数据, 可能因硅分布和用户配置的不同而有所差异。
- (3) PMU_REGCSTS [CLKBDIS] 设置为 1 时。详见用户手册。
- (4) 使用 RAM 收集的数据
- (5) 有限样本数量和 Flash 收集的数据
- (6) HSR 模式的最高环境温度为 105°C , 在 125°C 下不得使用 HSR 模式。
- (7) 上述值是在 RUN 模式, 80 MHz, 关闭外设的条件下测得的。

表格 18 VLPS 附加用例功耗(1) (2) (3)

用例	条件	典型值(3)				单位
		25℃	85℃	105℃	125℃	
VLPS and RTC	时钟源:LPO 或 RTC_CLKIN	58.4	397.3	803.8	1622	
VLPS and LPUART 唤醒	时钟源: LSICLK 使能地址唤醒功能 波特率: 19.2 kbps	-	-	-	-	μ A
VLPS and LPUART TX/RX	时钟源: LSICLK 使用 DMA 发送或接收数据 波特率: 19.2 kbps	235.8	581.5	988.6	1814.9	
VLPS and LPSPi 主模式(4)	时钟源: LSICLK 使用 DMA 发送或接收数据	1.2	1.7	2.2	3.2	mA

用例	条件	典型值 ⁽³⁾				单位
		25°C	85°C	105°C	125°C	
	波特率: 500 kHz					
VLPS and LPI2C 主模式	时钟源: LSICLK 使用 DMA 发送或接收数据 波特率: 100 kHz	1058.8	1487.1	1977.8	2964	μA
VLPS and LPI2C 从模式唤醒	时钟源: LSICLK 使能地址唤醒功能 波特率: 100 kHz	-	-	-	-	
VLPS and LPITMR	时钟源: LSICLK 使能 1 个通道 模式: 32 位周期计数器	161.3	499	897.3	1702.2	

注:

- (1) 当前数据是在特定应用程序代码下测试的, 并且可能因用户配置和硅工艺的变化而发生改变。
- (2) 功率数据包括由周期性唤醒引起的功率和 VLPS 模式运行功率, 这将导致功率数据更加依赖于应用程序代码
- (3) 典型值是基于 $V_{DD}=V_{DDA}=V_{REFH}=5V$, $T_A=25^\circ C$ 和典型的硅工艺下进行测试的。
- (4) 在 G32A1445 中使用的单个 LPSPI 指的是 LPSP11。

7.1.8 ESD 和 Latch-up 保护特性

表格 19 ESD 静电放电特性

符号	参数	最小值	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型) ⁽¹⁾	-4000	4000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型) ⁽¹⁾			
	除角针外的所有引脚	-500	500	V
	角针	-750	750	

注: (1) 设备故障定义为: “一旦设备暴露于 ESD 脉冲, 设备不符合规范要求。”

表格 20 Latch-up 静态栓锁特性

符号	描述	最小值	最大值	单位
LU	在 $T_A=125^\circ C$ 下的 Latch-up 电流	-100	100	mA

7.1.9 EMC 辐射发射特性 (待测试)

极海可根据要求提供符合 IC 级 IEC 标准的 EMC 测量

7.2 存储器及接口

7.2.1 Flash 命令的时间特性

以下参数在 FLASHCLK 不小于 25MHz 的时钟频率下测试。

表格 21 读取时间特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{VB}	验证 FLASH 块为空白的时间	32KB Flash	-	-	-	ms
		64KB Flash	-	-	0.5	

符号	参数	条件	最小值	典型值	最大值	单位
		128KB Flash	-	-	-	
		256KB Flash	-	-	-	
		512KB Flash	-	-	1.8	
t _{VA}	验证 FLASH 区域为空白的时间	2KB Flash	-	-	75	μs
		8KB Flash	-	-	100	
t _{VAB}	验证所有 FLASH 块为空白的时间	-	-	-	2.3	ms
t _{RO}	读取一次的时间	-	-	-	30	μs

表格 22 编程时间特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{PGCK}	编程检查时间	-		-	95	μs
T _{PGDU}	编程数据单元时间	-		-	225	μs
t _{PGDA}	编程数据区域时间	1KB Flash		5	-	ms
t _{PO}	编程一次的时间	-		125	-	μs
t _{VBAK}	验证后门访问密钥的时间	-		-	35	μs
t _{PGEP}	编程 EEPROM 分区 (Partition) 的时间	32KB EEPROM (备份)		70	-	ms
		64KB EEPROM (备份)		71	-	
t _{SFRF}	设置 CFGRAM 功能的时间	控制代码 0xFF		0.09	-	ms
		32KB EEPROM (备份)		0.8	1.2	
		48KB EEPROM (备份)		1	1.5	
		64KB EEPROM (备份)	-	1.3	1.9	
t _{WFRB}	以字节为单位写入 CFGRAM 的时间 (Write CFGRAM in byte)	32KB EEPROM (备份)	-	385	1700	μs
		48KB EEPROM (备份)	-	430	1850	
		64KB EEPROM (备份)	-	475	2000	
t _{WFRHW} ⁽¹⁾	以半字为单位写入 CFGRAM 的时间 (Write CFGRAM in half-word)	32KB EEPROM (备份)	-	385	1700	μs

符号	参数	条件	最小值	典型值	最大值	单位
		48KB EEPROM (备份)	-	430	1850	
		64KB EEPROM (备份)	-	475	2000	
$t_{WFRW}^{(1)}$	以字为单位写入 CFGRAM 的时间 (Write CFGRAM in word)	32KB EEPROM (备份)	-	630	2000	μs
		48KB EEPROM (备份)	-	720	2125	
		64KB EEPROM (备份)	-	810	2250	
$t_{WEFRW}^{(1)}$	以字为单位写入已擦除的 CFGRAM 的时间 (Write erased CFGRAM in word)	-	336	-	344	μs
$t_{QWW}^{(1)(2)(3)}$	以字为单位快速写入的时间 (写入完成至下次准备写入) (Quickly write in word)	第一次写入	-	200	550	μs
		从第二次写入至倒数第二次写入	-	150	550	
		最后一次写入	-	200	550	
$t_{QWC}^{(4)}$	快速写入清除执行时间	-	-	-	$2 \cdot t_{QWW}$	ms

注:

(1) 如果实际显示的时间是理论上的 2 倍, 可能是重置或设置 RAM 后, 第一次写入 EERAM, 导致额外的清除 EEE 的时间。

(2) 仿真 EEPROM 记录可能会在欠电, 或复位, 或某次写入完成后被清除, 如果某次写入完成前发生上电复位, 那么会保留最后的记录而清除新记录。所以在最后写入完成后, 数据才会有效。

(3) 实际最大值可能不止 550 μs , 因为在进行跨扇区时, 可能会造成额外的清除时间。

(4) 模拟 EEPROM 记录需要的时间。最后一次 (第 N 次) 写操作完成后自动完成, 假设此时仍然通电。或者通过 SETRAM 清除执行命令在以后被请求。

表格 23 擦除时间特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{EB}	擦除 FLASH 块的时间	32KB Flash	-	-	-	ms
		64KB Flash	-	30	550	
		128KB Flash	-	-	-	
		256KB Flash	-	-	-	
		512KB Flash	-	250	4250	
t_{ES}	擦除 FLASH 扇区时间	-	-	12	130	ms
t_{EAB}	擦除所有块的时间	-	-	400	4900	ms
t_{UEAB}	不加密擦除所有块的时间	-	-	400	4900	ms

注: (1) 擦除参数的最大次数基于循环寿命结束的预期。

表格 24 Flash 寿命

符号	参数	条件	最小值	典型值	最大值	单位
N _{RW}	擦写周期	T _A = 125°C	100K	-	-	cycles

7.2.2 可靠性规格

表格 25 NVM 可靠性规格

符号	参数	条件	最小值	典型值	最大值	单位
t _{WE16} ^(1,2)	写耐久性	EEPROM 备份到 CFGRAM 的比例为 16	100K	-	-	写
t _{WE256}	写耐久性	EEPROM 备份到 CFGRAM 的比例为 256	TBD	-	-	写
t _{DR100}	数据保持力	高至 100%写耐久性	TBD	-	-	年
t _{DR10}	数据保持力	高至 10%写耐久性	TBD	-	-	年
t _{DR100KC} ⁽³⁾	数据保持力	100K 次周期后	10	-	-	年
t _{CE} ^(4,5)	周期耐久性	-	10K	-	-	周期

注:

- (1) 全温度范围内支持。写耐久性特定用于 32-bit 写入 CFGRAM。
- (2) 除了 CFMemory 之外的模拟 EEPROM 的耐久性规格，请参考 DFlash 的参数。
- (3) 每个块的数据保持时间从初始用户工厂编程或每次随后的擦写开始计算。
- (4) 全温度范围内支持 PFlash 和 DFlash 的编程和擦写。
- (5) 按照每 PFlash 或 DFlash 区域为单位。

7.3 时钟

7.3.1 外部时钟源特性

当 $G_m > 5 * G_{m_crit}$ 时，晶体振荡器会稳定输出时钟频率。其中：

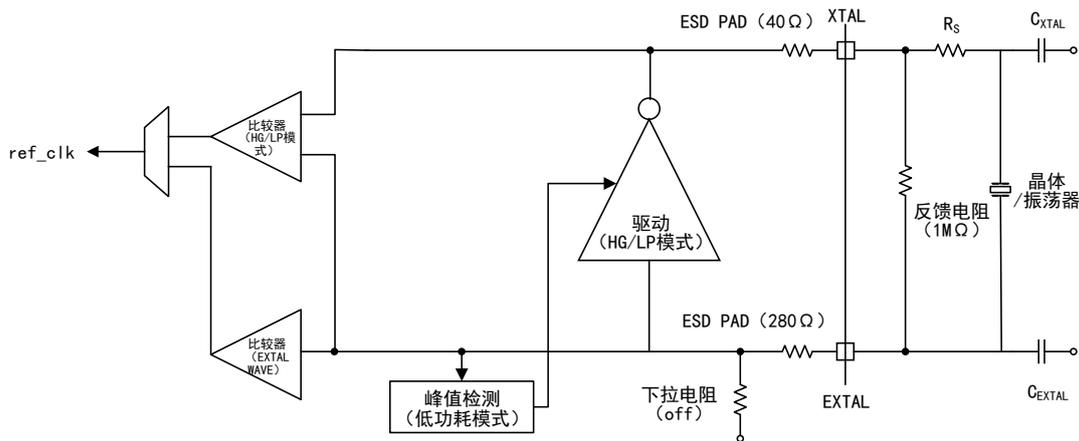
$$G_{m_crit} = 4 * (ESR + R_s) * (2\pi f_{osc})^2 * (C_0 + C_L)^2$$

$$C_L = C_s + [C_{EXTAL} * C_{XTAL} / (C_{EXTAL} + C_{XTAL})]$$

- (1) ESR: 外部晶体的等效串联电阻
- (2) R_s: 连接 XTAL 引脚和外部晶体之间的串联电阻，用于限制电流。用户根据实际需求选择合适的阻值，以保证振荡幅度是恰当的。
- (3) f_{osc}: 外部晶体振荡器的频率
- (4) C₀: 外部晶体振荡器的并联电容
- (5) C_L: 外部晶体振荡器的总负载电容
- (6) C_s: 任意 PCB 走线导致引脚上的杂散电容或寄生电容

下图是振荡器连接的电路图。

图 8 振荡器连接电路图



EXTAL 和 XTAL 引脚只能连接用户所需的振荡器元件。

Low-gain（低增益）模式和 High-gain（高增益）模式的区别是：选择 Low-gain 模式时，将选择内部 R_F ，不应附加外部 R_F ；选择 High-gain 模式时，应该使用约 $1M\Omega$ 的外部电阻（如电路图所示），保障晶体能够正常工作，外部电阻的阻值允许有 5% 的浮动。

表格 26 外部时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC}	振荡器频率	-	4	-	40	MHz
f_{in}	输入频率 ⁽¹⁾	外部时钟模式	-	-	51	MHz
f_{in_dc}	输入占空比 ⁽²⁾	外部时钟模式	48	50	55	%
R_F	反馈电阻	Low-gian 模式	-	-	-	$M\Omega$
		High-gain 模式	-	1	-	
R_S	串联电阻	Low-gian 模式	-	-	-	$M\Omega$
		High-gain 模式	-	0	-	
$t_{SU(SYSOSC)}$	启动时间	8MHz Low-gian 模式	-	1.5	-	ms
		8MHz High-gain 模式	-	2.5	-	
		40MHz Low-gian 模式	-	2	-	ms
		40MHz High-gain 模式	-	2	-	
G_m	振荡器跨导	SCG_SYSOSCCFG[OSCFSE L]="10", 即 4-8MHz	2.2	-	13.7	mA/V
		SCG_SYSOSCCFG[OSCFSE L]="11", 即 8-40MHz	11	-	47	mA/V
V_{IL}	输入低电平	EXTAL 引脚处于外部时钟模式	V_{SS}	-	1.15	V
V_{IH}	输入高电平	EXTAL 引脚处于外部时钟模式	$0.7 \cdot V_{DD}$	-	V_{DD}	V
C_{EXTAL}	EXTAL 引脚负载电容	-	-	-	-	-
C_{XTAL}	XTAL 引脚负载电容	-	-	-	-	-

符号	参数	条件	最小值	典型值	最大值	单位
V _{PP_EXTAL} ⁽³⁾	EXTAL 引脚上振荡的峰峰振幅	Low-gain 模式	1.3	-	-	V
		High-gain 模式	2	-	-	V
V _{PP_XTAL}	XTAL 引脚上振荡的峰峰振幅	Low-gain 模式	-	1.0	-	V
		High-gain 模式	-	3.3	-	V
V _{SYSOSCOPI}	振荡操作电压	High-gain 模式	0.7	-	-	V

注:

(1) 低于 40MHz 的频率可以用于降低占空比至 40%~60%。当频率为 41MHz~45MHz 时, 应该保持 40%以上的占空比。当频率为 45MHz~50MHz 时, 需要通过分频产生 ADC 时钟。

(2) 占空比可能有 ±5% 的误差。

(3) 实际测试过程中, 为了避免 V_{pp_EXTAL} 的测试值比实际值低, 必须使用低电容 (<5 pF) 探针。

7.3.2 系统时钟发生器电气特性

7.3.2.1 HSI 电气特性

表格 27 HSI 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	HSI 频率	-	-	48	-	MHz
Δf ₁₀₅	频率误差	温度 < 105°C	-	0.5	±2	%f _{HSI}
Δf ₁₂₅	频率误差	温度 < 125°C	-	0.5	±2.5	%f _{HSI}
t _{SU(HSI)}	启动时间	-	-	3.4	5	μs
T _{ctcj}	循环抖动	HSICKL 作为系统时钟	-	300	500	ps
T _{1000cj}	超过 1000 循环抖动	HSICKL 作为系统时钟	-	0.04	0.1	%f _{HSI}

注意:

(1) CPK_HP 代表高性能配置下的 CPK 值。

(2) 在 25°C 下, 频率误差在 1.5% 以内, 中心值=48.16MHz, CPK_HP=1.17

(3) 在 125°C 下, 频率误差在 3.3% 以内, 中心值=47.6MHz, CPK_HP=2.25

(4) 在 -40°C 下, 频率误差在 1.5% 以内, 中心值=48.4MHz, CPK_HP=0.65

7.3.2.2 LSI 电气特性

表格 28 LSI 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI}	LSI 频率	-	-	8	-	MHz
Δf ₁₀₅	频率误差	温度 < 105°C	-	-	±7	%f _{LSI}
Δf ₁₂₅	频率误差	温度 < 125°C	-	-	±10	%f _{LSI}
t _{SU(LSI)}	启动时间	-	-	15	25	μs

注意:

(1) CPK_HP 代表高性能配置下的 CPK 值; CPK_LP 代表低功耗配置下的 CPK 值。

(2) 在 25°C 下, 频率误差在 1.5% 以内, 中心值=8MHz, CPK_HP=18.19

(3) 在 25°C 下, 频率误差在 1.5% 以内, 中心值=7.99MHz, CPK_LP=15.71

(4) 在 125°C 下, 频率误差在 3.25% 以内, 中心值=8.06MHz, CPK_HP=1.7

(5) 在 125℃下, 频率误差在 3.25%以内, 中心值=8.13MHz, CPK_LP=0.96

(6) 在-40℃下, 频率误差在 6.5%以内, 中心值=7.79MHz, CPK_HP=2.02

(7) 在-40℃下, 频率误差在 6.5%以内, 中心值=7.67MHz, CPK_LP=0.99

7.3.3 低功耗振荡器电气特性

表格 29 LPO 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LPO}	LPO 频率	-	110	128	140	KHz
$t_{SU(LPO)}$	启动时间	-	-	-	20	μs

7.3.4 系统 PLL 电气特性

表格 30 SYSPLL 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{SYSPLL}	SYSPLL 频率范围	-	8	-	16	MHz
f_{SYSPLL_IN}	SYSPLL 输入频率	-	8	-	40	MHz
f_{SYSPLL_OUT}	SYSPLL 输出频率	-	90	-	160	MHz
f_{VCO_OUT}	VCO 输出频率	-	180	-	320	MHz
T_{pj}	周期抖动	$f_{VCO_OUT}=180MHz$	-	120	-	ps
		$f_{VCO_OUT}=320MHz$	-	75	-	ps
T_{aj}	超过 1 μs 的累积抖动	$f_{VCO_OUT}=180MHz$	-	400	-	ps
		$f_{VCO_OUT}=320MHz$	-	300	-	ps
t_{LDD}	锁定检测时间	-	-	-	$150 \times 10^{-6} + 1075$ ($1/F_{SYSPLL}$)	s

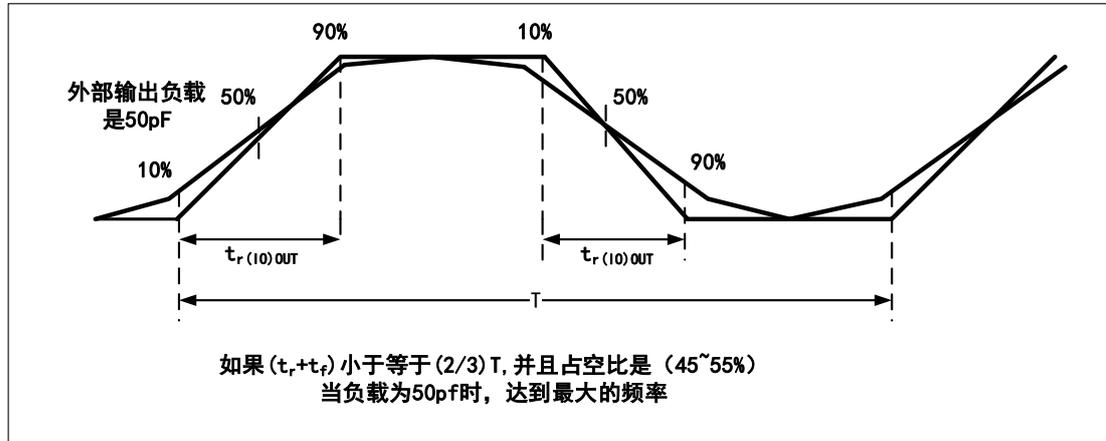
7.4 时钟频率

此设备支持的最大时钟输出频率为 20MHz

7.5 引脚特性

7.5.1 交流电气特性

图 9 输入输出交流特性定义



7.5.2 交流通用规格

这些通用规范适用于配置为 GPIO, UART 和定时器的所有信号。

表格 31 通用规格

符号	参数	条件	最小值	典型值	最大值	单位
$F_{RST}^{(1)}$	复位输入滤波脉冲	-	-	-	10	ns
$NF_{RST}^{(2)}$	复位输入未滤波脉冲	-	Max of (100ns, 总线周期)	-	-	ns
- ⁽³⁾ ⁽⁴⁾	GPIO 引脚中断脉冲宽度(禁用数字故障滤波器)-同步路径	-	2	-	-	总线周期
- ⁽⁵⁾	GPIO 引脚中断脉宽(禁用数字故障滤波器, 禁用无源滤波器)-异步路径	-	50	-	-	ns

注:

(1) 只有使能无源滤波器时, 才会被内部滤波器滤波的 RESET 脉冲的最大长度。

(2) 只有使能无源滤波器时, 才会被内部滤波器滤波的 RESET 脉冲的最小长度。这个数字也取决于总线时钟周期。此时导致复位的最小脉冲宽度为 250ns。对于时钟周期小于 100ns 的更快的时钟频率, 未滤波的最小脉冲宽度将为 100ns。

(3) 保证通过引脚同步电路的最小脉冲宽度。除了在停止和 VLPS 模式下绕过同步器, 可以识别较短的脉冲, 其他情况不能识别。

(4) 必须满足同步和异步定时的较大值。

(5) 这些引脚在输入端没有无源滤波器以保证被识别的最短脉冲宽度。

7.5.3 IO 端口特性

表格 32 3.3V 范围下直流特性($T_A=-40^{\circ}C-125^{\circ}C, V_{DD}=3.3V$)

符号	参数	最小值	典型值	最大值	单位
V_{DD}	IO 供电电压	2.7	3.3	4	V
V_{IL}	输入低电平电压	$V_{SS}-0.3$	-	$0.3 \times V_{DD}$	V

符号	参数	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{hys}	输入缓冲迟滞	$0.06 \times V_{DD}$	-	-	mV
I_{ol0}	当 $V_{ol} = 0.8\text{V}$ 时测量的 I/O 电流吸收能力	3	-	-	mA
I_{oh0}	当 $V_{oh} = V_{DD} - 0.8\text{V}$ 时测量的 I/O 电流源能力	3.5	-	-	
I_{ol1}	当 $V_{ol} = 0.8\text{V}$ 时测量的 I/O 电流吸收能力	10	-	-	
I_{oh1}	当 $V_{oh} = V_{DD} - 0.8\text{V}$ 时测量的 I/O 电流源能力	10	-	-	
IOHT	所有端口输出高电流总和	-	-	100	
R_{PU}	弱上拉等效电阻	20	-	60	$k\Omega$
R_{PD}	弱下拉等效电阻	20	-	60	$k\Omega$

表格 33 5V 范围下直流特性($T_A = -40^\circ\text{C} - 125^\circ\text{C}$, $V_{DD} = 5\text{V}$)

符号	参数	最小值	典型值	最大值	单位
V_{DD}	IO 供电电压	2.7	4	5.5	V
V_{IL}	输入低电平电压	$V_{SS} - 0.3$	-	$0.35 \times V_{DD}$	V
V_{IH}	输入高电平电压	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{hys}	输入缓冲迟滞	$0.06 \times V_{DD}$	-	-	mV
I_{ol0}	当 $V_{ol} = 0.8\text{V}$ 时测量的 I/O 电流吸收能力	5	-	-	mA
I_{oh0}	当 $V_{oh} = V_{DD} - 0.8\text{V}$ 时测量的 I/O 电流源能力	5	-	-	
I_{ol1}	当 $V_{ol} = 0.8\text{V}$ 时测量的 I/O 电流吸收能力	20	-	-	
I_{oh1}	当 $V_{oh} = V_{DD} - 0.8\text{V}$ 时测量的 I/O 电流源能力	20	-	-	
IOHT	所有端口输出高电流总和	-	-	100	
R_{PU}	弱上拉等效电阻	20	-	50	$k\Omega$
R_{PD}	弱下拉等效电阻	20	-	50	$k\Omega$

表格 34 交流特性($T_A = 25^\circ\text{C}$)

-	符号	参数	条件	3.3V		5V		单位
				最小值	最大值	最小值	最大值	
NA	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L = 25\text{pF}$	6	14	4	9.6	ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间		7	13	7	10.4	
	$t_{f(I/O)out}$	输出高至低电平的下降时间		6	14	4	9.6	

-	符号	参数	条件	3.3V		5V		单位
				最小值	最大值	最小值	最大值	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=50$ pF	15	20	15	16	
	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=20$ 0pF	36	46	22.8	46	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=20$ 0pF	33	56	22.8	43	
0 (GPIO- HD)	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=25$ pF	6	14	4	9.6	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=25$ pF	7	13	7	10.4	
	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=50$ pF	6	14	4	9.6	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=50$ pF	15	20	15	16	
	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=20$ 0pF	36	46	22.8	46	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=20$ 0pF	33	56	22.8	43	
1 (GPIO- HD)	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=25$ pF	4	6	3	6	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=25$ pF	5	7	3.6	6	
	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=50$ pF	6	8	5	6	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=50$ pF	5	8	4	5	
	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L=20$ 0pF	18	22	5	7	
	$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L=20$ 0pF	20	23	5	8	

7.6 通信外设

7.6.1 LPUART 电气特性

有关 LPUART 特性的相关信息，请参考交流通用规格章节。

7.6.1.1 波特率

波特率=波特时钟/((OSRCFG+1)*BRMD)。

有关波特率的相关信息，请参考用户手册“波特率”的描述。

7.6.2 LPSPI 电气特性

1. 低功耗串行外围接口 (LPSPI) 提供同步串行总线，具有主操作和从操作。许多传输属性都是可编程的。
2. 所有测量的最大输出负载为 50pF，输入转换时间为 1ns，焊盘配置为最快回转设置 (DSCFG=1)。
3. LPSPI 电气特性的中所有时序均相对于 20%V_{DD} 和 80%V_{DD} 阈值来显示。

7.6.2.1 LPSPI 运行模式电气特性

表格 35 LPSPI 运行模式电气特性⁽¹⁾

符号	参数	条件	运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _P	外设频率 ⁽³⁾	主模式	-	-	40	-	-	40	MHz
		从模式	-	-	40	-	-	40	
		主循环 (慢速) ⁽⁴⁾	-	-	48	-	-	48	
		主循环 ⁽⁵⁾	-	-	48	-	-	40	
f _{LPSPI}	工作频率	主模式	-	-	10	-	-	10	MHz
		从模式	-	-	10	-	-	10	
		主循环 (慢速) ⁽⁴⁾	-	-	12	-	-	12	
		主循环 ⁽⁵⁾	-	-	12	-	-	20	
t _{SPSCK}	SPSCK 周期	主模式	100	-	-	100	-	-	ns
		从模式	100	-	-	100	-	-	
		主循环 (慢速) ⁽⁴⁾	83	-	-	83	-	-	
		主循环 ⁽⁵⁾	83	-	-	50	-	-	
t _{hyst} ⁽⁶⁾	SPSCK 延时后, 使能延迟时间	从模式	-	-	-	-	-	-	ns
		主模式	(SPD CFG+1) * t _p -25	-	-	(SPD CFG+1) * t _p -25	-	-	
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t _{LEAD} ⁽⁷⁾	使能引导时间, PCS 到 SPSCK 的延迟时间	从模式	-	-	-	-	-	ns	
		主模式	(PSD CFG+1) * t _p -25	-	-	(PSD CFG+1) * t _p -25	-		-
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t _{WSPSCK} ⁽⁸⁾	SPSCK 高或低的时间	主模式	t _{spck} /2-3	-	t _{spck} /2+3	t _{spck} /2-3	-	t _{spck} /2+3	ns
		从模式							

符号	参数	条件	运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t_{ac}	从机访问时间	从模式	-	-	50	-	-	50	ns
t_{dis}	从机MISO (SOUT) 禁止时间	从模式	-	-	50	-	-	50	ns
$t_{su(in)}$	数据输入建立时间	主模式	38	-	-	29	-	-	ns
		从模式	5	-	-	3	-	-	
		主循环 (慢速) ⁽⁴⁾	10	-	-	8	-	-	
		主循环 ⁽⁵⁾	8	-	-	7	-	-	
$t_{h(in)}$	数据输入保持时间	主模式	0	-	-	0	-	-	ns
		从模式	3	-	-	3	-	-	
		主循环 (慢速) ⁽⁴⁾	3	-	-	3	-	-	
		主循环 ⁽⁵⁾	3	-	-	3	-	-	
$t_{h(out)}$	数据输出保持时间	主模式	22	-	-	15	-	-	ns
		从模式	4	-	-	4	-	-	
		主循环 (慢速) ⁽⁴⁾	22	-	-	15	-	-	
		主循环 ⁽⁵⁾	14	-	-	10	-	-	
t_v	SPSCK边沿后, 数据有效时间	主模式	-	-	16	-	-	12	ns
		从模式	-	-	39	-	-	30	
		主循环 (慢速) ⁽⁴⁾	-	-	10	-	-	8	
		主循环 ⁽⁵⁾	-	-	16	-	-	12	
$t_{r(in)}$ $t_{f(in)}$	数据输入上升	主模式	-	-	12	-	-	12	ns
	从模式	-	-	12	-	-	12		

符号	参数	条件	运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
	和下降时间	主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
$t_{r(out)}$ $t_{f(out)}$	数据输出上升和下降时间	主模式							ns
		从模式							
		主循环 (慢速) ⁽⁴⁾	-	-	25	-	-	25	
		主循环 ⁽⁵⁾							

注:

- (1) 使能主循环模式时, SCK 焊盘的走线长度应小于等于 11 英寸。
- (2) 从 HSR 模式转换到 RUN 模式时, LPSPI 输出时钟应小于等于 14MHz。
- (3) $f_P = \text{LPSPI 外设时钟}$, $t_P = 1/f_P$ 。
- (4) 主循环模式(慢速): 与(5)中主循环模式配置和功能相同, 仅适用于 LPSPI0, 不同的是, 慢速下, 使用的时钟焊盘是 PMB2。
- (5) 主循环模式: 在该模式下, 将 LPSPI_CFGR1[SAMPLE]置 1, 使能 LPSPI_SCK 时钟延迟以对输入数据进行采样, 仅适用于 LPSPI0。使用的时钟焊盘是 PMD15 和 PME0。
- (6) LPSPI 波特率时钟的至少延迟 1 个周期, 将 SPDCFG 置 0, 其中 SPDCFG 的范围为 0~255。
- (7) LPSPI 波特率时钟的至少延迟 1 个周期, 将 PSDCFG 置 0, 其中 PSDCFG 的范围为 0~255。
- (8) 在选择奇数分频器时, 确保占空比符合此参数。

7.6.2.2 LPSPI 高速运行模式电气特性

表格 36 LPSPI 高速运行模式电气特性⁽¹⁾

符号	参数	条件	高速运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f_P	外设频率 ⁽³⁾	主模式	-	-	56	-	-	56	MHz
		从模式	-	-	56	-	-	56	
		主循环 (慢速) ⁽⁴⁾	-	-	48	-	-	48	
		主循环 ⁽⁵⁾	-	-	48	-	-	48	
f_{LPSPI}	工作频率	主模式	-	-	14 ⁽⁶⁾	-	-	14	MHz
		从模式	-	-	14 ⁽⁶⁾	-	-	14	
		主循环 (慢速) ⁽⁴⁾	-	-	12	-	-	12	
		主循环 ⁽⁵⁾	-	-	12	-	-	24	
t_{SPSCK}		主模式	72	-	-	72	-	-	ns

符号	参数	条件	高速运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
	SPSCK 周期	从模式	72	-	-	72	-	-	
		主循环 (慢速) ⁽⁴⁾	83	-	-	83	-	-	
		主循环 ⁽⁵⁾	83	-	-	42	-	-	
t_{hyst} ⁽⁷⁾	SPSCK 延时后, 使能延迟时间	从模式	-	-	-	-	-	-	ns
		主模式	(SPDCF G+1) * $t_{\text{p-}}$ 25	-	-	(SPDCF G+1) * $t_{\text{p-}}$ 25	-	-	
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t_{LEAD} ⁽⁸⁾	使能引导时间, PCS 到 SPSCK 的延迟时间	从模式	-	-	-	-	-	ns	
		主模式	(PSDCF G+1) * $t_{\text{p-}}$ 25	-	-	(PSDCF G+1) * $t_{\text{p-}}$ 25	-		-
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t_{WSPSCK} ⁽⁹⁾	SPSCK 高或低的时间	主模式	$t_{\text{spck}}/2-3$	-	$t_{\text{spck}}/2+3$	$t_{\text{spck}}/2-3$	-	$t_{\text{spck}}/2+3$	ns
		从模式							
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
t_{ac}	从机访问时间	从模式	-	-	50	-	-	50	ns
t_{dis}	从机 MISO (SOUT) 禁止时间	从模式	-	-	50	-	-	50	ns
$t_{\text{su(in)}}$	数据输入建立时间	主模式	37 ⁽¹⁰⁾	-	-	26	-	-	ns
		从模式	5	-	-	3	-	-	
		主循环 (慢速) ⁽⁴⁾	9	-	-	7	-	-	
		主循环 ⁽⁵⁾	7	-	-	5	-	-	

符号	参数	条件	高速运行模式 ⁽²⁾						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
$t_{h(in)}$	数据输入保持时间	主模式	0	-	-	0	-	-	ns
		从模式	3	-	-	3	-	-	
		主循环 (慢速) ⁽⁴⁾	3	-	-	3	-	-	
		主循环 ⁽⁵⁾	3	-	-	2	-	-	
$t_{h(out)}$	数据输出保持时间	主模式	23	-	-	15	-	-	ns
		从模式	4	-	-	4	-	1	
		主循环 (慢速) ⁽⁴⁾	22	-	-	15	-	-	
		主循环 ⁽⁵⁾	14	-	-	10	-	-	
t_v	SPSCK 边沿 后, 数据有效 时间	主模式	-	-	15	-	-	11	ns
		从模式	-	-	36 ⁽¹⁰⁾	-	-	26	
		主循环 (慢速) ⁽⁴⁾	-	-	9	-	-	7	
		主循环 ⁽⁵⁾	-	-	15	-	-	11	
$t_{r(in)}$ $t_{f(in)}$	数据输入上升 和下降 时间	主模式	-	-	9	-	-	9	ns
		从模式							
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							
$t_{r(out)}$ $t_{f(out)}$	数据输出上升 和下降 时间	主模式	-	-	25	-	-	25	ns
		从模式							
		主循环 (慢速) ⁽⁴⁾							
		主循环 ⁽⁵⁾							

注:

- (1) 使能主循环模式时, SCK 焊盘的走线长度应小于等于 11 英寸。
- (2) 从 HSR 模式转换到 RUN 模式时, LPSPI 输出时钟应小于等于 14MHz。
- (3) $f_P = \text{LPSPI 外设时钟}$, $t_P = 1/f_P$ 。
- (4) 主循环模式(慢速): 与(5)中主循环模式配置和功能相同, 仅适用于 LPSPI0, 不同的是, 慢速下, 使用的时钟焊盘是 PMB2。
- (5) 主循环模式: 在该模式下, 将 LPSPI_CFGR1[SAMPLE]置 1, 使能 LPSPI_SCK 时钟延迟以对输入数据进行采样, 仅适用于 LPSPI0。使用的时钟焊盘是 PTD15 和 PTE0。
- (6) 仅有 GPIO-HD PAD 类型的 LPSPI0 能达到最大工作频率 f_{LPSPI} 。否则, $f_{LPSPI}=12\text{Mhz}$ 。

- (7) LPSPI 波特率时钟的至少延迟 1 个周期，将 SPDCFG 置 0，其中 SPDCFG 的范围为 0~255。
- (8) LPSPI 波特率时钟的至少延迟 1 个周期，将 PSDCFG 置 0，其中 PSDCFG 的范围为 0~255。
- (9) 在选择奇数分频器时，确保占空比符合此参数。
- (10) 仅适用于 GPIO-HD PAD 类型的 LPSPI0，最大工作频率 $f_{LPSPI}=14\text{MHz}$ 。

7.6.2.3 LPSPI VLPR 模式电气特性

表格 37 LPSPI VLPR 模式电气特性⁽¹⁾

符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f_p	外设频率 ⁽²⁾	主模式	-	-	4	-	-	4	MHz
		从模式	-	-	4	-	-	4	
		主循环 (慢速) ⁽³⁾	-	-	4	-	-	4	
		主循环 ⁽⁴⁾	-	-	4	-	-	4	
f_{LPSPI}	工作频率	主模式	-	-	2	-	-	2	
		从模式	-	-	2	-	-	2	
		主循环 (慢速) ⁽³⁾	-	-	2	-	-	2	
		主循环 ⁽⁴⁾	-	-	2	-	-	2	
t_{SPSCK}	SPSCK 周期	主模式	500	-	-	500	-	-	ns
		从模式	500	-	-	500	-	-	
		主循环 (慢速) ⁽³⁾	500	-	-	500	-	-	
		主循环 ⁽⁴⁾	500	-	-	500	-	-	
t_{hyst} ⁽⁶⁾	SPSCK 延时后，使能延迟时间	从模式	-	-	-	-	-	-	ns
		主模式	(SPDCF G+1) * t_p - 50	-	-	(SPDCF G+1) * t_p - 50	-	-	
		主循环 (慢速) ⁽³⁾							
		主循环 ⁽⁴⁾							
t_{LEAD} ⁽⁷⁾	使能引导时间，PCS 到 SPSCK 的延迟时间	从模式	-	-	-	-	-	ns	
		主模式	(PSDCF G+1) * t_p - 50	-	-	(PSDCF G+1) * t_p - 50	-		-
		主循环 (慢速) ⁽³⁾							
		主循环 ⁽⁴⁾							
t_{WSPSCK}		主模式	$t_{spck}/2-5$	-	$t_{spck}/2+5$	$t_{spck}/2-5$	-	$t_{spck}/2+5$	ns

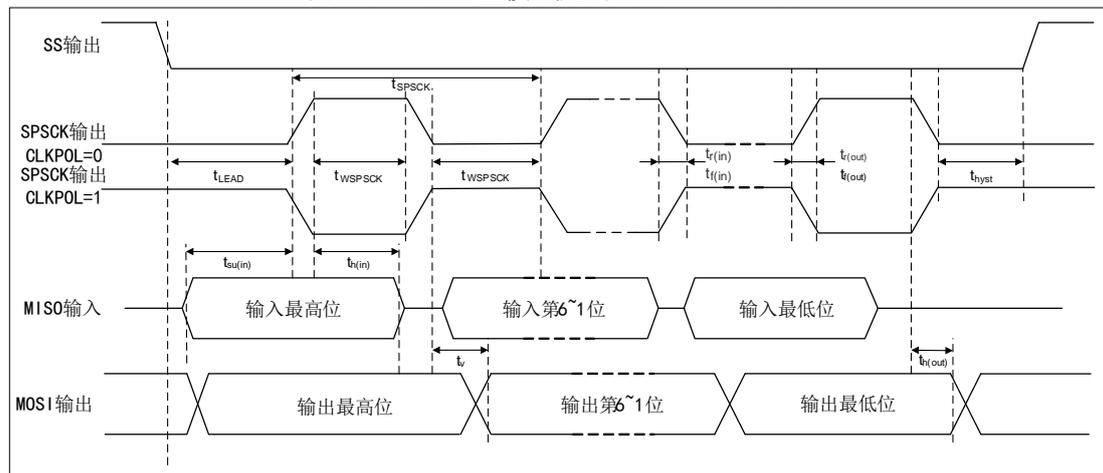
符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
⑧	SPSCK 高或低 的时间	从模式							
		主循环 (慢速) ③							
		主循环④							
t_{ac}	从机 访问时间	从模式	-	-	100	-	-	100	ns
t_{dis}	从机 MISO (SOUT) 禁止时间	从模式	-	-	100	-	-	100	ns
$t_{su(in)}$	数据输入 建立 时间	主模式	78	-	-	72	-	-	ns
		从模式	18	-	-	18	-	-	
		主循环 (慢速) ③	20	-	-	20	-	-	
		主循环④	20	-	-	20	-	-	
$t_{h(in)}$	数据输入 保持 时间	主模式	0	-	-	0	-	-	ns
		从模式	14	-	-	14	-	-	
		主循环 (慢速) ③	12	-	-	12	-	-	
		主循环④	11	-	-	11	-	-	
$t_{h(out)}$	数据输出 保持 时间	主模式	29	-	-	22	-	-	ns
		从模式	4	-	-	4	-	-	
		主循环 (慢速) ③	27	-	-	21	-	-	
		主循环④	19	-	-	14	-	-	
t_v	SPSCK 边沿 后, 数据有效 时间	主模式	-	-	48	-	-	47	ns
		从模式	-	-	96	-	-	92	
		主循环 (慢速) ③	-	-	44	-	-	44	
		主循环④	-	-	48	-	-	47	
$t_{r(in)}$ $t_{f(in)}$	数据输入 上升	主模式	-	-	9	-	-	6	ns
从模式									

符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
	和下降时间	主循环 (慢速) (3)							
		主循环 (4)							
$t_{r(out)}$ $t_{f(out)}$	数据输出上升和下降时间	主模式							ns
		从模式							
		主循环 (慢速) (3)	-	-	25	-	-	25	
		主循环 (4)							

注:

- (1) 使能主循环模式时, SCK 焊盘的走线长度应小于等于 11 英寸。
- (2) $f_P = LPSPi$ 外设时钟, $t_P = 1/f_P$ 。
- (3) 主循环模式 (慢速): 与 (4) 中主循环模式配置和功能相同, 仅适用于 LPSPi0, 不同的是, 慢速下, 使用的时钟焊盘是 PMB2。
- (4) 主循环模式: 在该模式下, 将 LPSPi_CFGR1[SAMPLE]置 1, 使能 LPSPi_SCK 时钟延迟以对输入数据进行采样, 仅适用于 LPSPi0。使用的时钟焊盘是 PMD15 和 PME0。
- (5) 仅有 GPIO-HD PAD 类型的 LPSPi0 能达到最大工作频率 f_{LPSPi} 。否则, $f_{LPSPi} = 12\text{Mhz}$ 。
- (6) LPSPi 波特率时钟的至少延迟 1 个周期, 将 SPDCFG 置 0, 其中 SPDCFG 的范围为 0~255。
- (7) LPSPi 波特率时钟的至少延迟 1 个周期, 将 PSDCFG 置 0, 其中 PSDCFG 的范围为 0~255。
- (8) 在选择奇数分频器时, 确保占空比符合此参数。

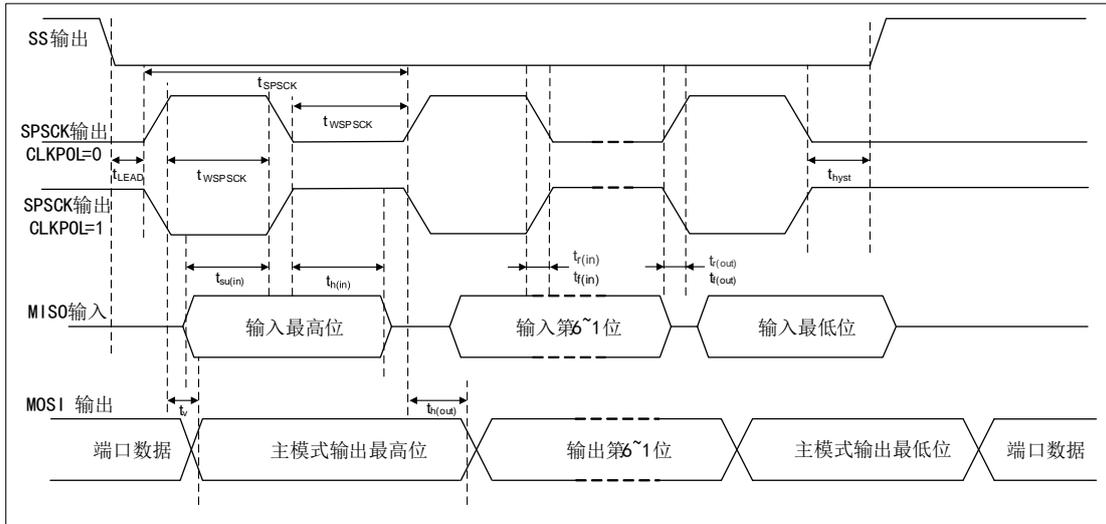
图 10 LPSPi 主模式定时 (CLKPHA=0)



注:

- (1) 当 BSEN=0 时, MISO 输入顺序为 MSB, 第 6~1 位, LSB。
- (2) 当 BSEN=1 时, MISO 输入顺序为 LSB, 第 1~6 位, MSB。

图 11 LPSPI 主模式定时 (CLKPHA=1)



注:

- (1) 当 BSEN=0 时, MISO 输入顺序为 MSB, 第 6~1 位, LSB。
- (2) 当 BSEN=1 时, MISO 输入顺序为 LSB, 第 1~6 位, MSB。

图 12 LPSPI 从模式定时 (CLKPHA=0)

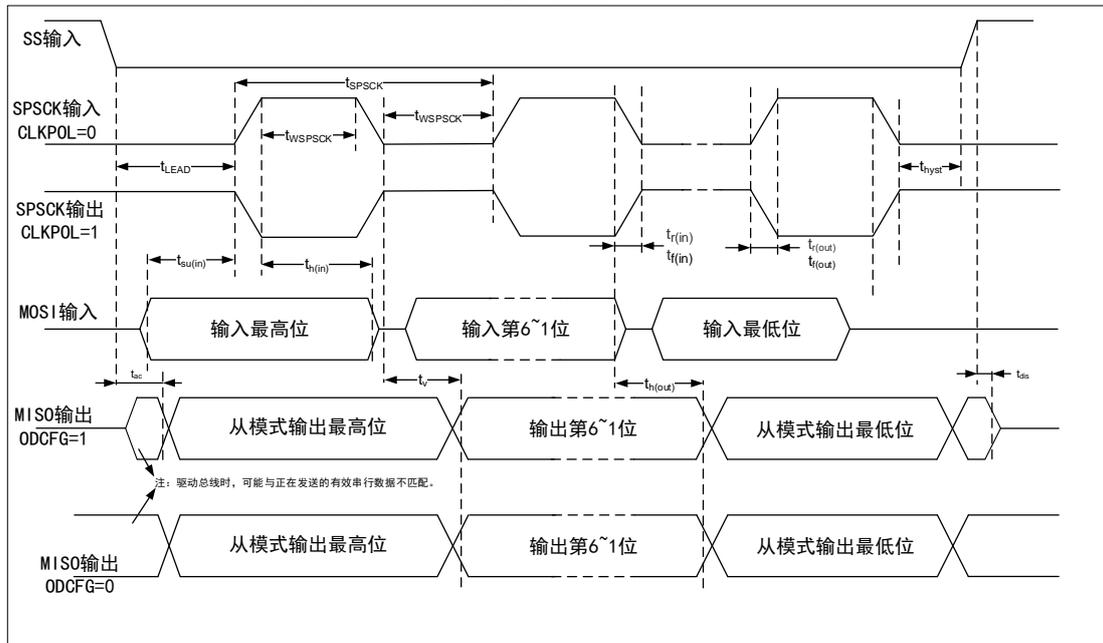
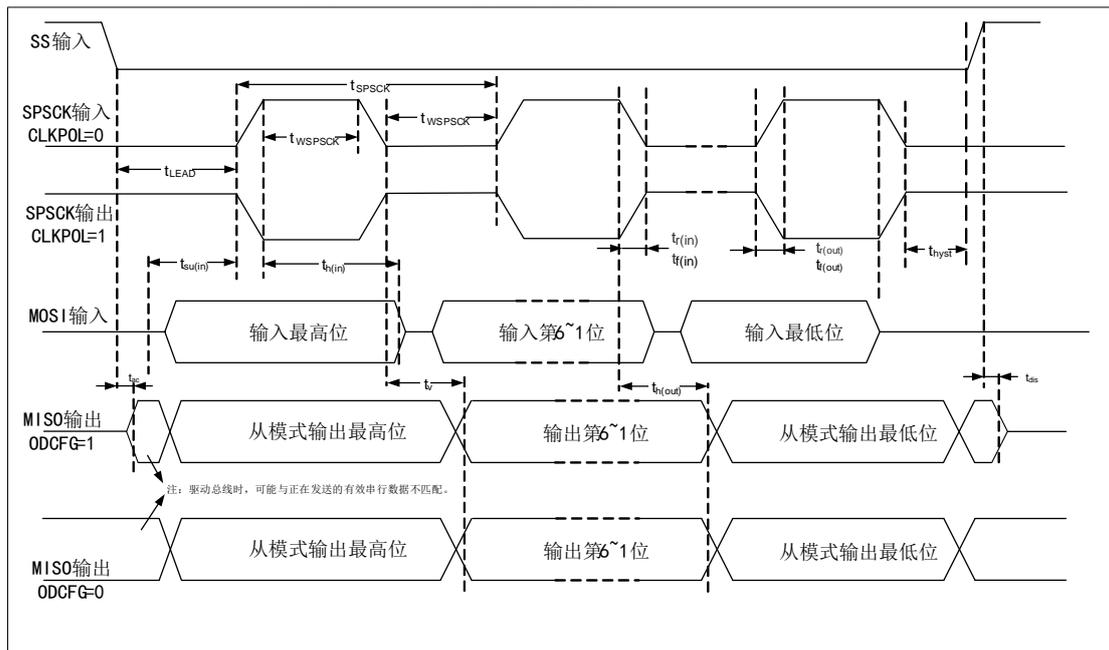


图 13 LPSPI 从模式定时 (CLKPHA=1)



7.6.3 LPI2C 电气特性

有关 LPI2C 特性的相关信息，请参考交流通用规格章节。

有关 LPI2C 配置信息，请参考用户手册。

7.6.4 CAN 电气特性

有关设置 CAN 协议所需的位定时参数以及波特率，请参考用户手册的 CAN 的“不同 CAN 的功能差异”章节。

7.7 模拟外设

7.7.1 ADC

7.7.1.1 12 位 ADC 工作条件

表格 38 12 位 ADC 工作条件⁽¹⁾

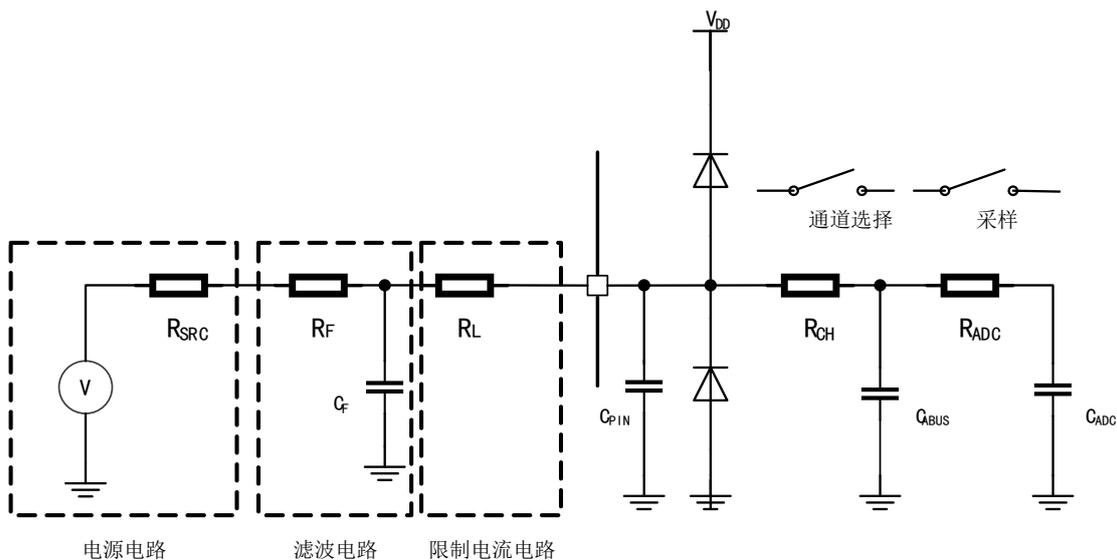
符号	参数	条件	最小值	典型值 ⁽²⁾	最大值	单位
V _{REFH}	参考电压高 ⁽³⁾	-	有关数据 请查阅 “电压和 电流工作 要求”章 节	V _{DDA}	有关数据 请查阅 “电压和 电流工作 要求”章 节	V
V _{REFL}	参考电压低 ⁽³⁾	-	有关数据 请查阅 “电压和 电流工作 要求”章 节	0	有关数据 请查阅 “电压和 电流工作 要求”章 节	mV
V _{IN}	ADC 输入电压	-	V _{REFL}	-	V _{REFH}	V
f _{ADC}	ADC 频率	正常使用 ⁽⁴⁻⁵⁾	2	40	50	MHz
C _{PIN}	引脚电容	-	-	2.1	2.5	pF
C _{BUS}	模拟总线电容	-	-	3	4	
C _{ADC}	采样电容	-	-	5.1 (gain=0). ..7.2(gai n=max)	6.36 (gain=0).. .9.36(gain =max)	
R _{SRC}	源阻抗	f _{ADC} <4MHz	-	-	5	kΩ
R _{CH}	通道阻抗(通道选 择开关阻抗)	-	-	0.650	0.780	
R _{ADC}	采样阻抗(采样 开关阻抗)	-	-	0.155	1.0	
f _{CONV}	ADC 转换频率 ⁽⁷⁻⁸⁾	无 ADC 硬件平均 ⁽⁶⁾ 使能连续转换, 接下来的 转换时间	46.4	928	1160	Ksps
		配置 ADC 硬件平均为 32 ⁽⁶⁾ , 使能连续转换,接下 来的转换时间	1.45	29	36.25	Ksps

符号	参数	条件	最小值	典型值 ⁽²⁾	最大值	单位
	ADC 功耗	-	-	1.0	1.1 ⁽⁹⁾	mA

注:

- (1) 数据由综合评估得出，不在生产中测试。
- (2) 除非特别说明，否则典型值参数条件是 $T_A=25^{\circ}\text{C}$ ， $V_{DDA}=5\text{V}$ ， $f_{\text{ADC}}=40\text{MHz}$ ， $R_{\text{AS}}=20\Omega$ ， $C_{\text{AS}}=10\text{nF}$ 。
- (3) V_{REFH} 和 V_{REFL} 内部连接到 V_{DDA} 和 V_{SS} 。当参考电压质量优于 SAR ADC 可获得最大性能。
- (4) 参考用户手册可设置时钟和比较周期。
- (5) 大于 ADC 最大频率时，ADC 转换不稳定。
- (6) 可通过 $\text{ADC_CSTS3}[\text{HAVGCFG}]$ 配置硬件平均次数。
- (7) 该数值是在最小采样时间为 275ns 的条件下进行测试。
- (8) 有关 ADC 转化率计算，请参考用户手册关于“校准功能”的描述。
- (9) 配置参数测试条件为：
 - $V_{\text{DD}}=V_{\text{DDA}}=V_{\text{REFH}}=2.5\text{V}-5.5\text{V}$ ， $T_A=-40^{\circ}\text{C}-135^{\circ}\text{C}$
 - 总线时钟频率为 48MHz ，ADC 时间频率为 48MHz （使用 HSICLK ），校准时钟为 24MHz ，采样时间 $t_{\text{S}}=14\text{cyc}$ ，ADC 硬件平均次数为 32
 - 12 位分辨率
 - 连续转换模式
 - ADC0_CH1 通道

图 14 ADC 输入阻抗等效图



表格 39 ADC 输入阻抗等效图各符号含义

符号	含义
R_L	电流限制电阻
R_{SRC}	源阻抗
R_F	滤波电阻
R_{CH}	通道阻抗
R_{ADC}	采样阻抗
C_{ADC}	采样电容
C_{BUS}	模拟总线电容
C_{PIN}	引脚电容

符号	含义
C _F	滤波电容

7.7.1.2 12 位 ADC 电气特性

注:

- (1) 在两个 ADC 并行/同时工作中, 不管是通过两个 ADC 同一通道进行采样, 还是通过每个 ADC 不同通道进行采样, 都可能导致 ADC 性能下降。为了使减少同步转换的影响, 必须错开两个 ADC 转换, 尤其是在采样阶段时。
- (2) 由于 ADC 参考引脚与电源引脚共用引脚封装, 导致 ADC 模拟性能特性会受到外部 PCB 布局的影响。所以需要注意 PCB 布线。
- (3) 所有精度都假设 ADC 以 $V_{REFH}=V_{DDA}=V_{DD}$ 进行校准, 校准频率设置为小于或等于最大指定 ADC 时钟频率的一半。

表格 40 12 位 ADC 特性 ($V_{DD}=2.7V-4V$) ($V_{DDA}=V_{REFH}$, $V_{SS}=V_{REFL}$)

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
V _{DDA}	供电电压	-	2.7	-	4	V
I _{DDA_ADC}	每个 ADC 的供电电流 ⁽²⁾	-	-	0.6	-	mA
t _s	采样时间	-	275	-	请参考用户手册	ns
E _T ⁽³⁾	综合误差 ⁽⁵⁻⁹⁾	-	-	±4	±8	LSB ⁽⁴⁾
E _D	微分线性误差 ⁽⁵⁻⁹⁾	-	-	±2	-	
E _L	积分线性误差 ⁽⁵⁻⁹⁾	-	-	±3	-	

注:

- (1) 除非特别说明, 否则典型值参数条件是 $T_A=25^{\circ}C$, $V_{DDA}=3V$, $f_{ADC}=40MHz$, $R_{AS}=20\Omega$, $C_{AS}=10nF$ 。
- (2) ADC 转换率影响 ADC 供电电流。
- (3) 表示综合误差, 包括偏移和满刻度误差。
- (4) $1\text{ LSB}=(V_{REFH}-V_{REFL})/2^N$
- (5) 参数为仅在独立模式下运行的平均值。根据设备的使用情况, 性能可能会降低。对于 ADC 平均值, 可参考用户手册来决定 ADC_CSTS3[HAVGCFG]的最佳设定。
- (6) 在靠近 V_{DD}/V_{SS} 或 XTAL/EXTAL 或者高频开关引脚的 ADC 信号中, 可能会出现 ADC 的性能下降。
- (7) 这些数值均可确保 ADC 对多个 ADC 输入通道引脚的性能。当 ADC 用于监测内部模拟参数时, 假设性能有所降低。
- (8) 表格中各参数均由系统时钟提供的 ADC 时钟源。
- (9) 在高低温环境下, 建议 ADC 的时钟为 16MHz, 以确保结果的精准度。

表格 41 12 位 ADC 特性 ($V_{DD}=4V-5.5V$) ($V_{DDA}=V_{REFH}$, $V_{SS}=V_{REFL}$)

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
V _{DDA}	供电电压	-	4	-	5.5	V
I _{DDA_ADC}	每个 ADC 的供电电流 ⁽²⁾	-	-	1	-	mA
t _s	采样时间	-	275	-	请参考用户手册	ns
E _T ⁽³⁾	综合误差 ⁽⁵⁻⁸⁾	-	-	±4	±8	LSB ⁽⁴⁾
E _D	微分非线性 ⁽⁵⁻⁸⁾	-	-	±1.5	-	

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
E _L	积分非线性 ⁽⁵⁻⁸⁾	-	-	±2	-	

注:

- (1) 除非特别说明, 否则典型值参数条件是 $T_A=25^{\circ}\text{C}$, $V_{DDA}=5\text{V}$, $f_{\text{ADC}}=40\text{MHz}$, $R_{\text{AS}}=20\Omega$, $C_{\text{AS}}=10\text{nF}$ 。
- (2) ADC 转换率影响 ADC 供电电流。
- (3) 表示总静态误差, 包括偏移和满刻度误差。
- (4) $1 \text{ LSB} = (V_{\text{REFH}} - V_{\text{REFL}}) / 2^N$
- (5) 参数为仅在独立模式下运行的平均值。根据设备的使用情况, 性能可能会降低。对于 ADC 平均值, 可参考用户手册来决定 ADC_CSTS3[HAVGCFG]的最佳设定。
- (6) 在靠近 $V_{\text{DD}}/V_{\text{SS}}$ 或 XTAL/EXTAL 或者高频开关引脚的 ADC 信号中, 可能会出现 ADC 的性能下降。
- (7) 这些数值均可确保 ADC 对多个 ADC 输入通道引脚的性能。当 ADC 用于监测内部模拟参数时, 假设性能有所降低。
- (8) 表格中各参数均由系统时钟提供的 ADC 时钟源。

注意:

- (1) 在 LQFP100 和 LQFP64 等封装中采用了三重键合, 会导致 ADC 性能下降。

7.7.2 内部具有 8 位 DAC 的比较器

表格 42 带内部具有 8 位 DAC 的比较器电气特性

符号	参数	条件		最小值	典型值	最大值	单位
I_{DDH}	电源电流 ⁽¹⁾	高速模式	-40°C - 125°C	-	230	300	μA
I_{DDL}		低速模式	-40°C - 125°C	-	6	13	
V_{IN}	DAC 输入电压(模拟输入电压) ⁽¹⁾	-		0	0- V_{DDA}	V_{DDA}	V
V_{OSH}	输入偏移电压	高速模式	-40°C - 125°C	-25	±1	25	mV
V_{OSL}	输入偏移电压	低速模式	-40°C - 125°C	-40	±4	40	
t_{PDH_100}	传播延迟 ⁽²⁾	高速模式	-40°C - 125°C	-	35	300	ns
t_{PDL_100}		低速模式	-40°C - 125°C	-	0.5	3	μs
t_{PDH_30}	传播延迟 ⁽³⁾	高速模式	-40°C - 125°C	-	70	500	ns
t_{PDL_30}		低速模式	-40°C - 125°C	-	1	5	
t_{IDH}	初始化延迟 ⁽⁴⁾	高速模式	-40°C - 125°C	-	1.5	3	μs
t_{IDL}		低速模式	-40°C - 125°C	-	10	30	
V_{hyst0}	模拟比较器迟滞	hyst0	-40°C - 125°C	-	0	-	mV
V_{hyst1}		hyst1 高速模式	-40°C - 125°C	-	19	66	
		hyst1 低速模式	-40°C - 125°C	-	15	40	
V_{hyst2}		hyst2 高速模式	-40°C - 125°C	-	34	133	
		hyst2 低速模式	-40°C - 125°C	-	23	80	
V_{hyst3}		hyst3 高速模式	-40°C - 125°C	-	46	200	
		hyst3 低速模式	-40°C - 125°C	-	32	120	
I_{DAC8}		8 位 DAC 电流加法器 (启用)	3.3V 参考电压		-	6	
	5V 参考电压		-	10	16		
E_D	微分线性误差	-		-0.5	-	0.5	LSB (6)
E_L	积分线性误差 ⁽⁵⁾	-		-0.75	-	0.75	
t_{IS}	初始化和切换稳定时间	-		-	-	30	μs

注:

- (1) $I_{DDH/DDL}$ 的电压输入差 > 200mV
- (2) 在开关点周围施加 ± (100mV + $V_{hyst0/1/2/3}$ + 最大 $V_{OSH/OSL}$)。
- (3) 在开关点周围施加 ± (30mV + 2 * $V_{hyst0/1/2/3}$ + 最大 $V_{OSH/OSL}$)。
- (4) 施加 ± (100mV + $V_{hyst0/1/2/3}$)。
- (5) 采用线性回归最小二乘法计算。
- (6) 1LSB=参考电压/256

注意: 如果比较器输入信号接近 V_{DD}/V_{SS} 或 XTAL/EXTAL 或开关引脚, 则可能发生交叉耦合, 可通过设定迟滞设置获取比较器性能来解决。另外, 在对输入信号进行噪音滤波时, 应采用一个外部电容 (1nF)。而且源极驱动不应较弱 (建议信号上拉/下拉小于 50K)。

下图曲线从上至下分别为 3 级迟滞，2 级迟滞，1 级迟滞，0 级迟滞。

图 15 典型迟滞与 Vin 电平 (V_{DDA}=3.3V, PMSEL=0)

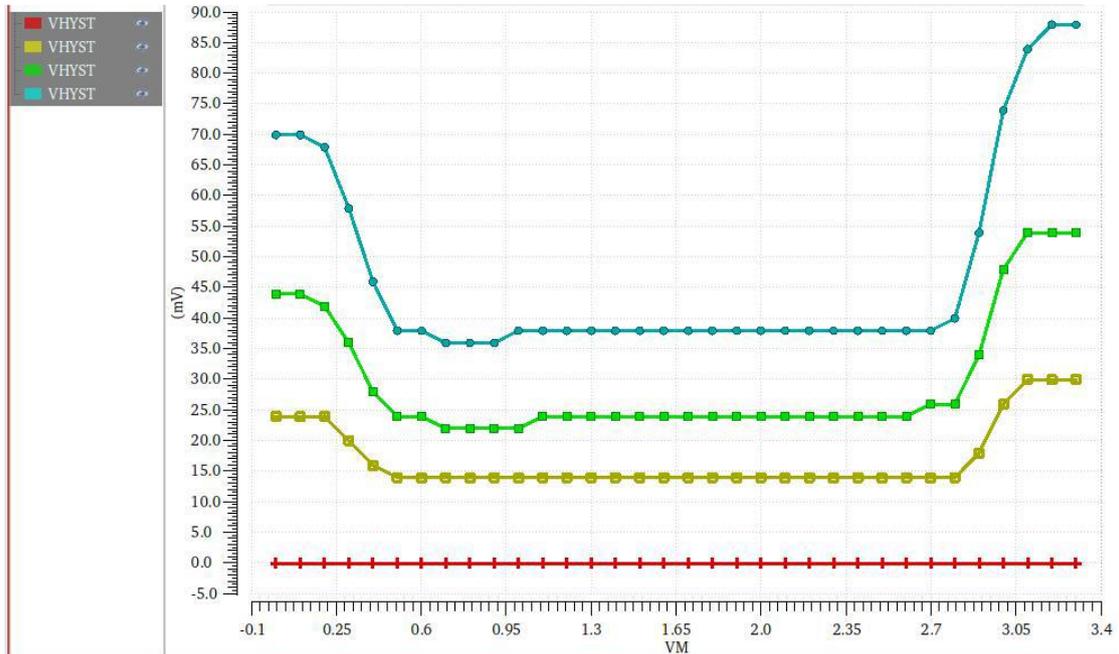


图 16 典型迟滞与 Vin 电平 (V_{DDA}=3.3V, PMSEL=1)

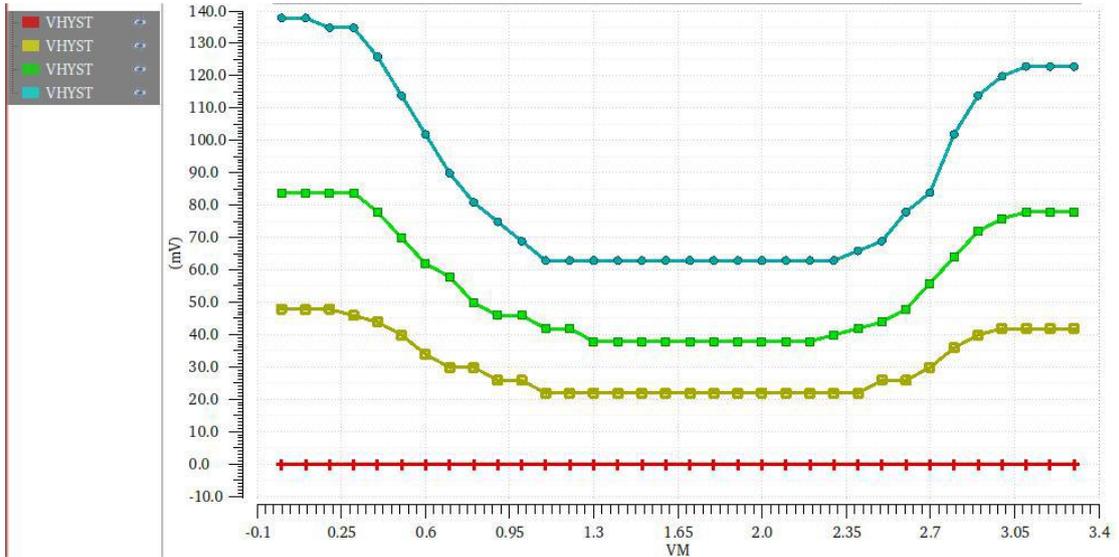


图 17 典型迟滞与 Vin 电平 (V_{DDA}=5V, PMSEL=0)

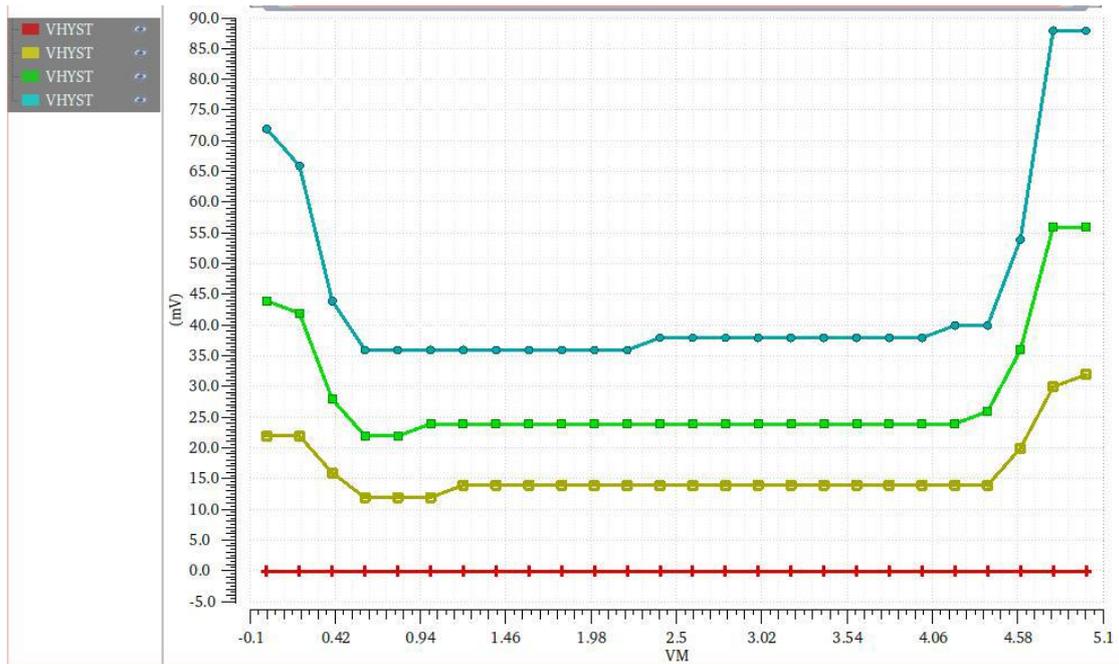
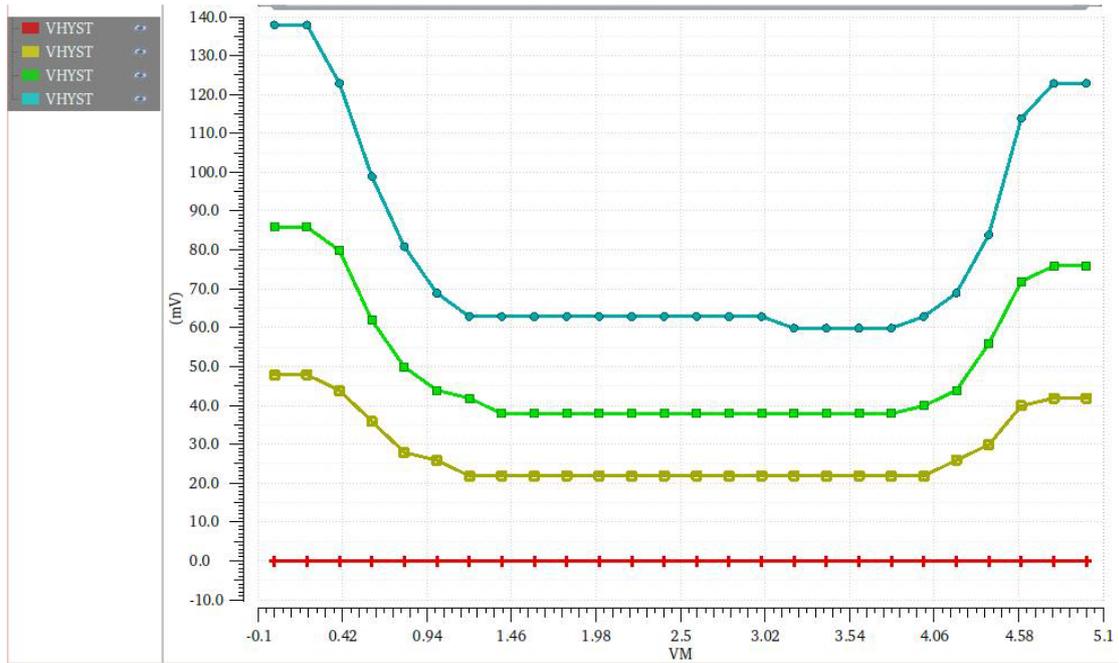


图 18 典型迟滞与 Vin 电平 (V_{DDA}=5V, PMSEL=1)



7.8 调试模块

7.8.1 SWD 电气规范

7.8.1.1 SWD 运行模式电气规范

表格 43 SWD 运行模式电气规范

符号	参数	条件	运行模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f_{SWDCLK}	SWD 时钟工作频率	-	-	-	25	-	-	25	MHz
t_{SWDCLK}	SWD 时钟周期	-	$1/f_{\text{SWDCLK}}$	-	-	$1/f_{\text{SWDCLK}}$	-	-	ns
t_r (SWDCLK) t_f (SWDCLK)	SWD 时钟上升和下降时间	-	-	-	5	-	-	5	
t_{cpw} (SWDCLK)	SWDCLK 时钟脉冲宽度	-	$t_{\text{SWDCLK}}/2-5$	-	$t_{\text{SWDCLK}}/2+5$	$t_{\text{SWDCLK}}/2-5$	-	$t_{\text{SWDCLK}}/2+5$	
t_{su} (SWDCLK)	SWD 时钟上升沿前，SWDDIO 输入数据建立时间	-	4	-	-	4	-	-	
t_h (SWDDIO)	SWD 时钟上升沿后，SWDDIO 输入数据保持时间	-	3	-	-	3	-	-	
t_v (SWD)	SWD 时钟高至 SWDDIO 数据有效	-	-	-	38	-	-	29	
t_{iv} (SWD)	SWD 时钟高至 SWDDIO 数据无效	-	0	-	-	0	-	-	
t_{h-Z} (SWD)	SWD 时钟高至 SWDDIO 高阻	-	-	-	38	-	-	34	

7.8.1.2 SWD 高速运行模式电气规范

表格 44 SWD 高速运行模式电气规范

符号	参数	条件	高速运行模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _{SWDCLK}	SWD 时钟工作频率	-	-	-	25	-	-	25	MHz
t _{SWDCLK}	SWD 时钟周期	-	1/f _{SWDCLK}	-	-	1/f _{SWDCLK}	-	-	ns
t _r (SWDCLK) t _f (SWDCLK)	SWD 时钟上升和下降时间	-	-	-	6	-	-	6	
t _{cpw} (SWDCLK)	SWDCLK 时钟脉冲宽度	-	t _{SWDCLK} /2-5	-	t _{SWDCLK} /2+5	t _{SWDCLK} /2-5	-	t _{SWDCLK} /2+5	
t _{su} (SWDCLK)	SWD 时钟上升沿前, SWDDIO 输入数据建立时间	-	4	-	-	4	-	-	
t _h (SWDDIO)	SWD 时钟上升沿后, SWDDIO 输入数据保持时间	-	3	-	-	3	-	-	
t _v (SWD)	SWD 时钟高至 SWDDIO 数据有效	-	-	-	38	-	-	29	
t _{iv} (SWD)	SWD 时钟高至 SWDDIO 数据无效	-	0	-	-	0	-	-	
t _{h-z} (SWD)	SWD 时钟高至 SWDDIO 高阻	-	-	-	38	-	-	34	

7.8.1.3 SWD VLPR 模式电气规范

表格 45 SWD VLPR 模式电气规范

符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _{SWDCLK}	SWD 时钟工作频率	-	-	-	10	-	-	10	MHz

符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
t_{SWDCLK}	SWD 时钟周期	-	$1/f_{\text{SWDCLK}}$	-	-	$1/f_{\text{SWDCLK}}$	-	-	ns
t_r (SWDCLK) t_f (SWDCLK)	SWD 时钟上升和下降时间	-	-	4	-	-	4		
t_{cpw} (SWDCLK)	SWDCLK 时钟脉冲宽度	-	$t_{\text{SWDCLK}}/2-5$	-	$t_{\text{SWDCLK}}/2+5$	$t_{\text{SWDCLK}}/2-5$	-	$t_{\text{SWDCLK}}/2+5$	
t_{su} (SWDCLK)	SWD 时钟上升沿前，SWDDIO 输入数据建立时间	-	16	-	-	16	-	-	
t_h (SWDDIO)	SWD 时钟上升沿后，SWDDIO 输入数据保持时间	-	10	-	-	10	-	-	
t_v (SWD)	SWD 时钟高至 SWDDIO 数据有效	-	-	-	77	-	-	70	
t_{iv} (SWD)	SWD 时钟高至 SWDDIO 数据无效	-	0	-	-	0	-	-	
t_{h-z} (SWD)	SWD 时钟高至 SWDDIO 高阻	-	-	-	77	-	-	70	

图 19 SWD 时钟输入时间

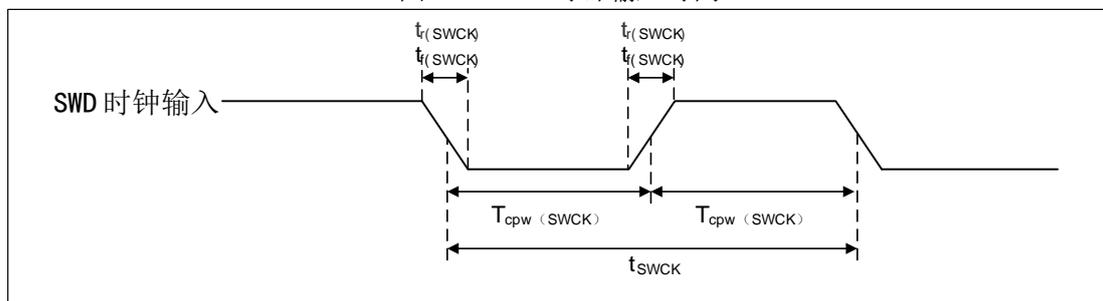
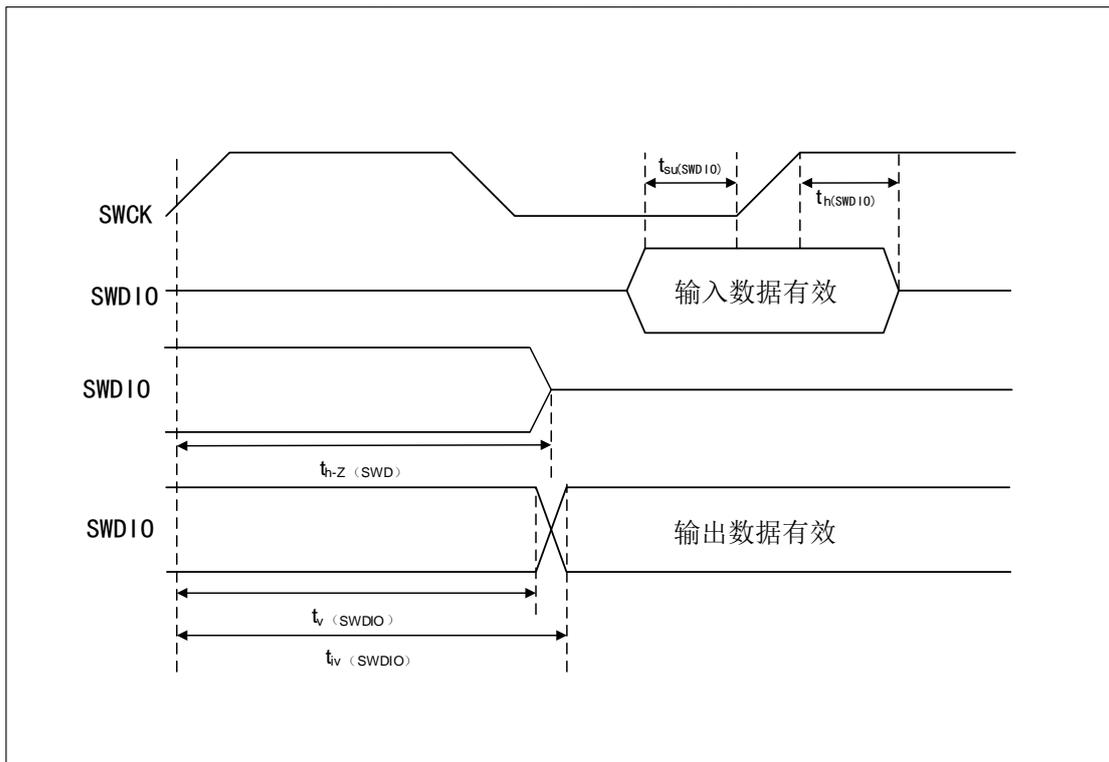


图 20 SWD 输入/输出数据时间



7.8.2 JTAG 电气特性

7.8.2.1 JTAG 运行模式电气特性

表格 46 JTAG 运行模式电气特性

符号	参数	条件	运行模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _{TCLK}	TCLK 工作频率	边界扫描	-	-	20	-	-	20	MHz
		JTAG	-	-	20	-	-	20	
t _{cpw} (TCLK)	TCLK 时钟脉冲宽度	边界扫描	t _{TCLK} /2-5	-	t _{TCLK} /2+5	t _{TCLK} /2-5	-	t _{TCLK} /2+5	ns
		JTAG							
t _{TCLK}	TCLK 周期	-	1/f _{TCLK}	-	-	1/f _{TCLK}	-	-	
t _r (TCLK) t _f (TCLK)	TCLK 上升和下降时间	-	-	-	3	-	-	3	
t _v (BSO)	TCLK 低至边界扫描输出数据有效	-	-	-	32	-	-	28	
t _{iv} (BSO)	TCLK 低至边界扫描输出数据无效	-	0	-	-	0	-	-	
t _v (TDO)	TCLK 低至TDO 数据有效	-	-	-	32	-	-	28	
t _{iv} (TDO)	TCLK 低至TDO 数据无效	-	0	-	-	0	-	-	
t _{su} (BSI)	边界扫描输入数据建立时间	TCLK 上升	5	-	-	5	-	-	
t _h (BSI)	边界扫描输入数据保持时间	TCLK 上升后	5	-	-	5	-	-	
t _{h-z} (BS)	输出高阻	TCLK 低于边界扫描时	-	-	32	-	-	28	
t _{h-z} (TDO)	输出高阻	TCLK 低于TDO 时	-	-	32	-	-	28	
t _{su} (TTI)	TMS、TDI 输入数据建立时间	TCLK 上升	3	-	-	3	-	-	
t _h (TTI)	TMS、TDI 输入数据保持时间	TCLK 上升后	2	-	-	2	-	-	

7.8.2.2 JTAG 高速运行模式电气特性

表格 47 JTAG 高速运行模式电气特性

符号	参数	条件	高速运行模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _{TCLK}	TCLK 工作频率	边界扫描	-	-	20	-	-	20	MHz
		JTAG	-	-	20	-	-	20	
t _{cpw} (TCLK)	TCLK 时钟脉冲宽度	边界扫描	t _{TCLK} /2-5	-	t _{TCLK} /2+5	t _{TCLK} /2-5	-	t _{TCLK} /2+5	
		JTAG							
t _{TCLK}	TCLK 周期	-	1/f _{TCLK}	-	-	1/f _{TCLK}	-	-	
t _r (TCLK) t _f (TCLK)	TCLK 上升和下降时间	-	-	-	3	-	-	3	
t _v (BSO)	TCLK 低至边界扫描输出数据有效	-	-	-	32	-	-	28	ns
t _{iv} (BSO)	TCLK 低至边界扫描输出数据无效	-	0	-	-	0	-	-	
t _v (TDO)	TCLK 低至 TDO 数据有效	-	-	-	32	-	-	28	
t _{iv} (TDO)	TCLK 低至 TDO 数据无效	-	0	-	-	0	-	-	
t _{su} (BSI)	TCLK 时钟上升沿前, 边界扫描输入数据建立时间	-	5	-	-	5	-	-	
t _h (BSI)	TCLK 时钟上升沿后, 边界扫描输入数据保持时间	-	5	-	-	5	-	-	
t _{h-Z} (BS)	TCLK 下降沿至边界扫描输出高阻	-	-	-	32	-	-	28	
t _{h-Z} (TDO)	TCLK 下降沿至 TDO 高阻	-	-	-	32	-	-	28	
t _{su} (TTI)	TCLK 时钟上升沿前, TMS、TDI 输入数据建立时间	-	3	-	-	3	-	-	
t _h (TTI)	TCLK 时钟上升沿后, TMS、TDI 输入数据保持时间	-	2	-	-	2	-	-	

7.8.2.3 TAG VLPR 模式电气特性

表格 48 JTAG VLPR 模式电气特性

符号	参数	条件	VLPR 模式						单位
			3.3V IO			5V IO			
			最小值	典型值	最大值	最小值	典型值	最大值	
f _{TCLK}	TCLK 工作频率	边界扫描	-	-	10	-	-	10	MHz
		JTAG	-	-	10	-	-	10	
t _{cpw} (TCLK)	TCLK 时钟脉冲宽度	边界扫描	t _{TCLK} /2-5	-	t _{TCLK} /2+5	t _{TCLK} /2-5	-	t _{TCLK} /2-5	
		JTAG							
t _{TCLK}	TCLK 周期	-	1/f _{TCLK}	-	-	1/f _{TCLK}	-	1/f _{TCLK}	
t _r (TCLK) t _f (TCLK)	TCLK 上升和下降时间	-	-	-	3	-	-	3	
t _v (BSO)	TCLK 低至边界扫描输出数据有效	-	-	-	80	-	-	80	ns
t _{iv} (BSO)	TCLK 低至边界扫描输出数据无效	-	0	-	-	0	-	-	
t _v (TDO)	TCLK 低至 TDO 数据有效	-	-	-	80	-	-	80	
t _{iv} (TDO)	TCLK 低至 TDO 数据无效	-	0	-	-	0	-	-	
t _{su} (BSI)	TCLK 时钟上升沿前, 边界扫描输入数据建立时间	-	15	-	-	15	-	-	
t _h (BSI)	TCLK 时钟上升沿后, 边界扫描输入数据保持时间	-	8	-	-	8	-	-	
t _{h-z} (BS)	TCLK 下降沿至边界扫描输出高阻	-	-	-	80	-	-	80	
t _{h-z} (TDO)	TCLK 下降沿至 TDO 高阻	-	-	-	80	-	-	80	
t _{su} (TTI)	TCLK 时钟上升沿前, TMS、TDI 输入数据建立时间	-	15	-	-	15	-	-	
t _h (TTI)	TCLK 时钟上升沿后, TMS、TDI 输入数据保持时间	-	8	-	-	8	-	-	

图 21 TCLK 输入时序

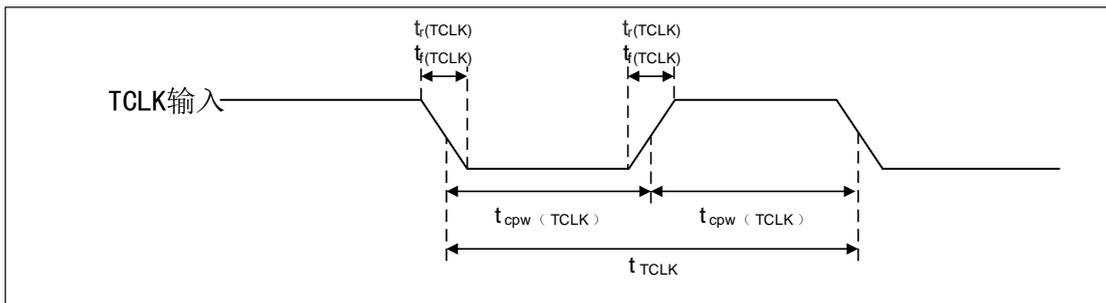


图 22 JTAG 边界扫描时序

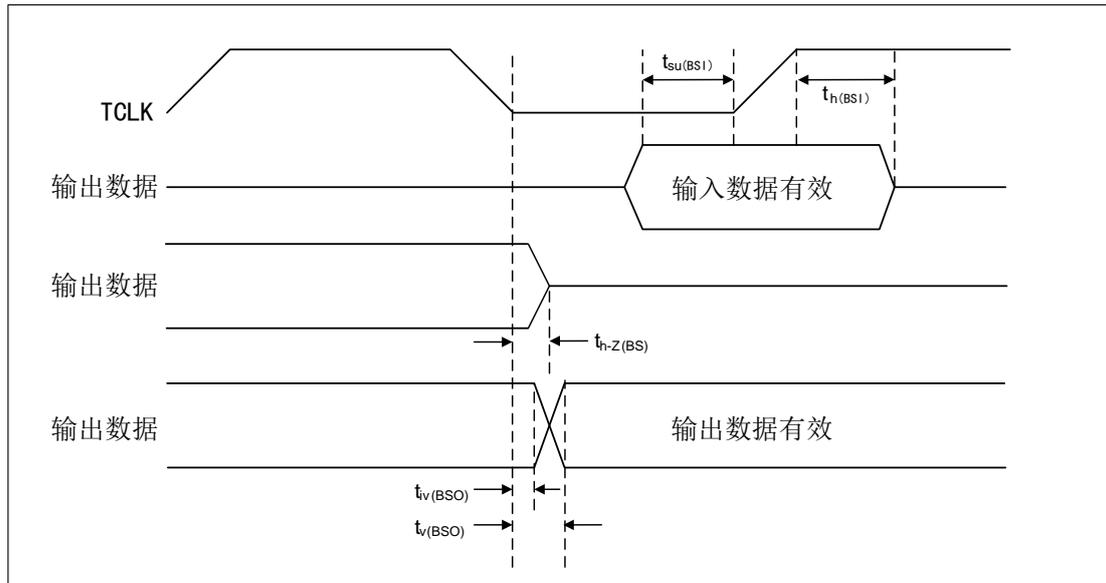
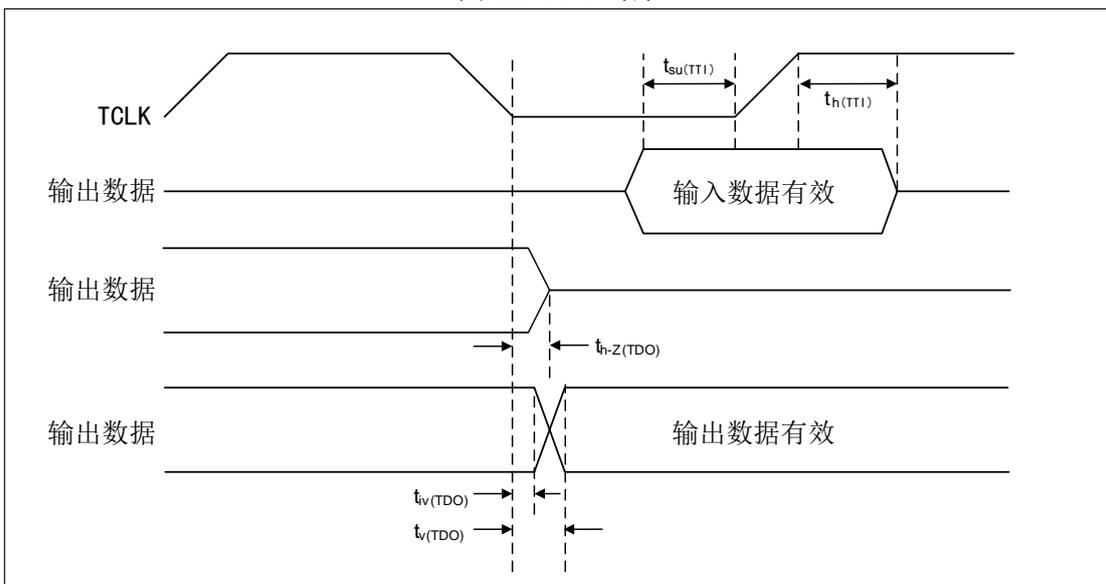


图 23 TDO 时序



7.9 温度特性

7.9.1 最高结温度下规格的一般注意事项

芯片结温度 T_J 的计算可以从以下等式中获得：

$$T_J = (R_{\theta JA} \times P_D) + T_A$$

其中： $R_{\theta JA}$ 表示结点到环境的热阻 ($^{\circ}\text{C}/\text{W}$)， P_D 表示封装的功率耗散 (W)， T_A 表示包装的环境温度 ($^{\circ}\text{C}$)。

连接到环境的热阻是一个行业标准值，可以快速方便地估计温度特性。通常通过以下两个值确定：在单层板上确定的值和在双层板上测得的值。哪个值更接近应用取决于板上其他组件消耗的功率。在单层板上的值适用于紧密封装的印刷电路板；如果板的功耗较低，并且组件分离良好，那么在选择具有内部平面的板上获得的值更合适。

当使用散热器时，热阻在以下等式中表示为连接到外壳的热阻和环境热阻之和：

$$R_{\theta JA} = R_{\theta CA} + R_{\theta JC}$$

其中： $R_{\theta JA}$ 表示结点到环境的热阻 ($^{\circ}\text{C}/\text{W}$)， $R_{\theta CA}$ 表示环境热阻 ($^{\circ}\text{C}/\text{W}$)， $R_{\theta JC}$ 表示结点到外壳的热阻 ($^{\circ}\text{C}/\text{W}$)。

$R_{\theta JC}$ 的取值与设备有关，不受用户控制。用户可以通过控制热环境，将实例更改为环境热阻 $R_{\theta CA}$ 。例如，用户可以通过改变设备周围印刷电路板的散热，设备周围的气流、接口材料、印刷电路板上的布线，或者散热器的尺寸等。

当不使用散热器时，可以使用热表征参数 (ψ_{JT}) 来确定应用中器件的结温度，并使用以下方程测量封装外壳顶部的中心温度：

$$T_J = T_T + (\psi_{JT} \times P_D)$$

其中： T_T 表示封装顶部的热电偶温度 ($^{\circ}\text{C}$)， ψ_{JT} 表示热表征参数 ($^{\circ}\text{C}/\text{W}$)， P_D 表示封装的功率耗散 (W)。

根据 JESD51-2 标准，温度特性参数通过使用环氧树脂连接到封装顶部中心的 40 号 T 型热电偶测量。

注意：

- (1) 热电偶导线应平放在封装外壳上，以避免热电偶导线的冷却效应引起的测量误差。
- (2) 应确保热电偶接头位于封装上。将少量环氧树脂放置在热电偶接头上，并放置接头延伸的约 1mm 的导线上。

7.9.2 温度特性

表格 49 温度特性

符号	参数	条件	封装		单位
			LQFP64	LQFP100	
$R_{\theta JA}^{(1)}$	热阻，结点至环境（自然对流）	单层板（1s）	61	52	$^{\circ}\text{C}/\text{W}$
		双层板（1s1p）	45	42	$^{\circ}\text{C}/\text{W}$
		四层板（2s2p）	43	40	$^{\circ}\text{C}/\text{W}$
$R_{\theta JA}^{(1)}$	热阻，结点至环境（强制	单层板（1s）	49	42	$^{\circ}\text{C}/\text{W}$

符号	参数	条件	封装		单位
			LQFP64	LQFP100	
	对流, 200 英尺/分钟)	双层板 (1s1p)	38	35	°C/W
		四层板 (2s2p)	36	34	°C/W
$R_{\theta JC}^{(2)}$	热阻, 结点到外壳	-	12	12	°C/W
$R_{\theta JB}^{(3)}$	热阻, 结点到板	-	25	25	°C/W
$\psi_{JT}^{(4)}$	热阻, 结点到封装顶部	自然对流	2	2	°C/W

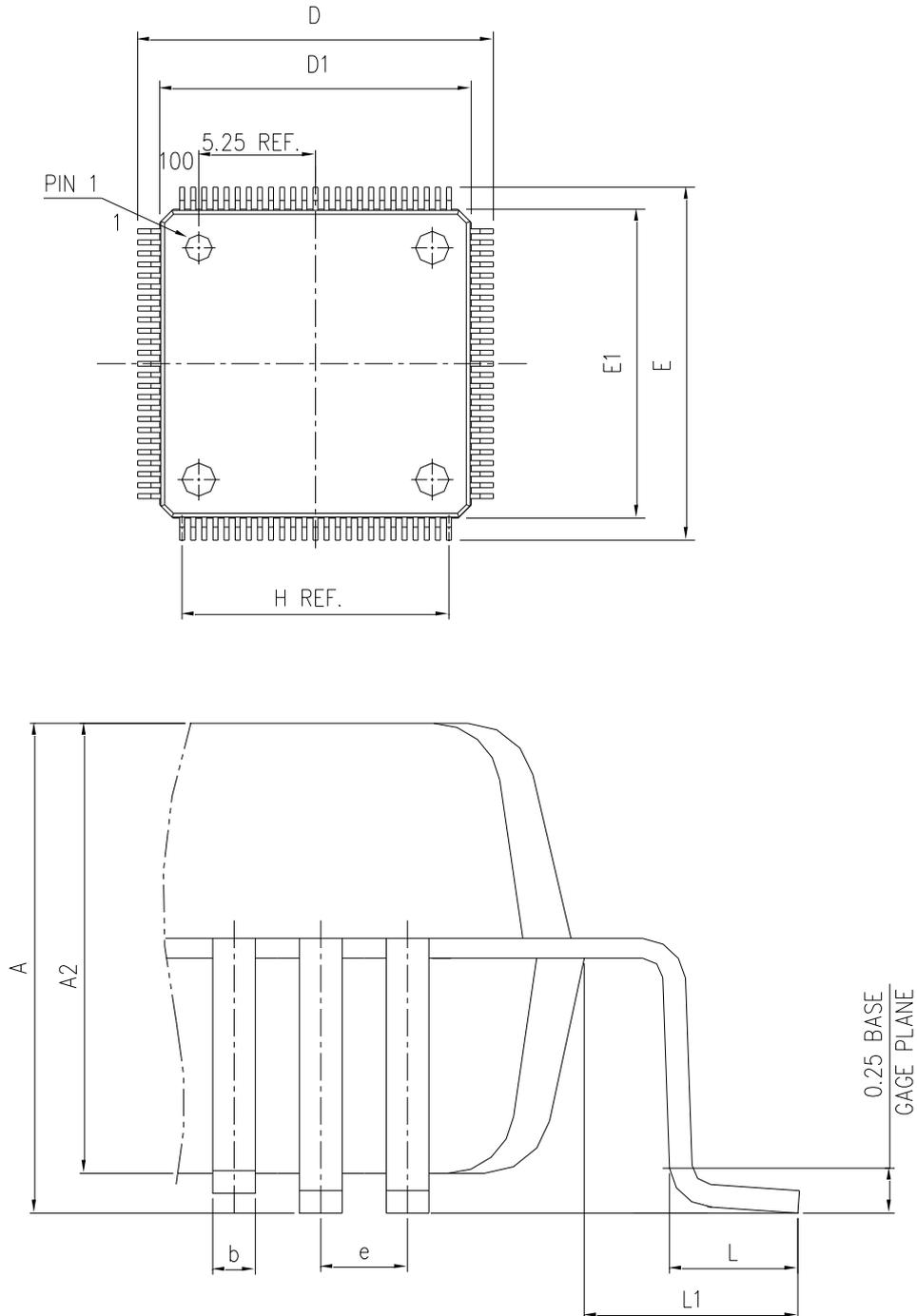
注:

- (1) 管芯尺寸大小、封装热阻、板热阻、环境温度、安装位置(板)温度、空气流量、芯片上功耗和板上其他组件的功耗都会影响结温度, 结温度是这些参数的函数。
- (2) 表示模具和外壳表面之间的热阻, 通过冷板法测量。
- (3) 表示芯片和印刷电路板之间的热阻。板的温度是在靠近封装的板的顶部表面上测量的。
- (4) 热表征参数, 表示结温度和封装顶部之间的温差。当希腊字母不可用时, 该参数将表示成 Psi JT。

8 封装信息

8.1 LQFP100 封装信息

图 24 LQFP100 封装图



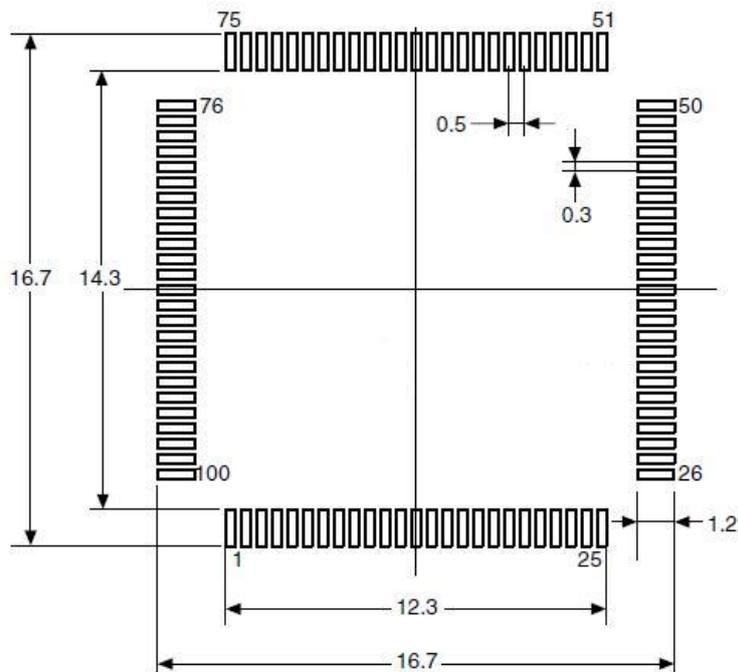
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 50 LQFP100 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	16.000±0.200	LEAD TIP TO TIP
4	D1	14.000±0.100	PKG LENGTH
5	E	16.000±0.200	LEAD TIP TO TIP
6	E1	14.000±0.100	PKG WDTN
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(12.00)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注：尺寸以毫米表示。

图 25 LQFP100 – 100 引脚，14 x 14mm 焊接 Layout 建议



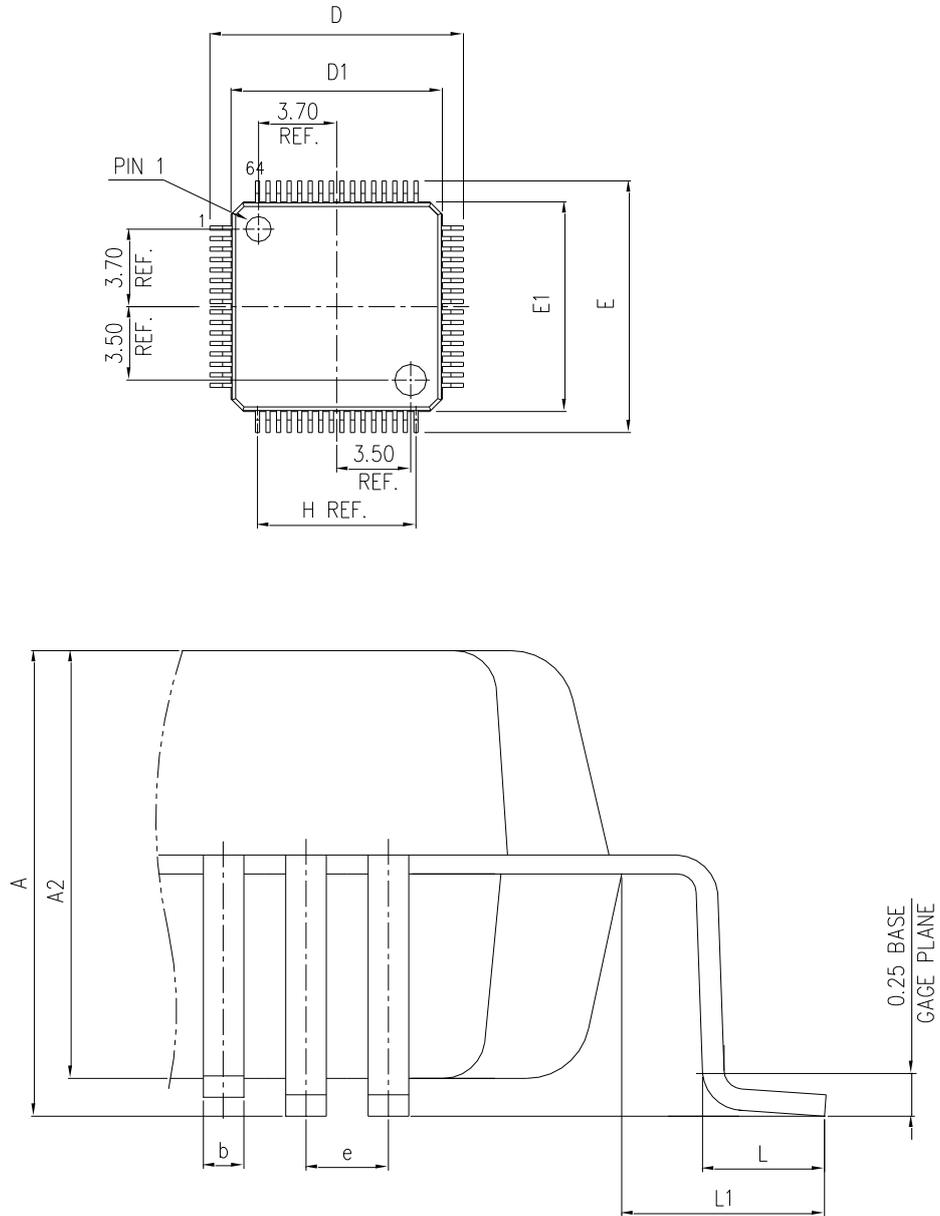
注：尺寸以毫米表示。

图 26 LQFP100 – 100 引脚，14 x 14mm 示意图



8.2 LQFP64 封装信息

图 27 LQFP64 封装图



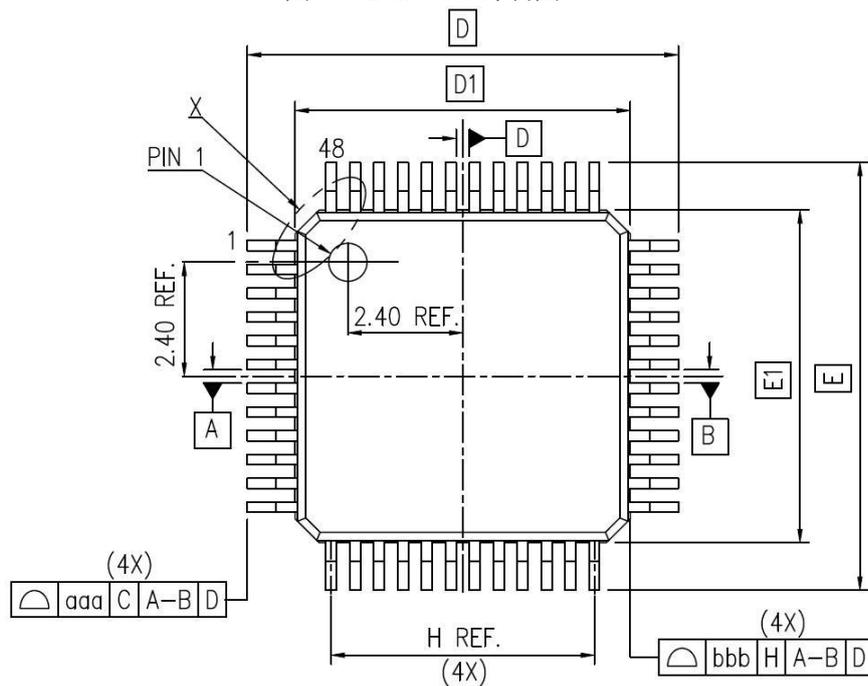
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

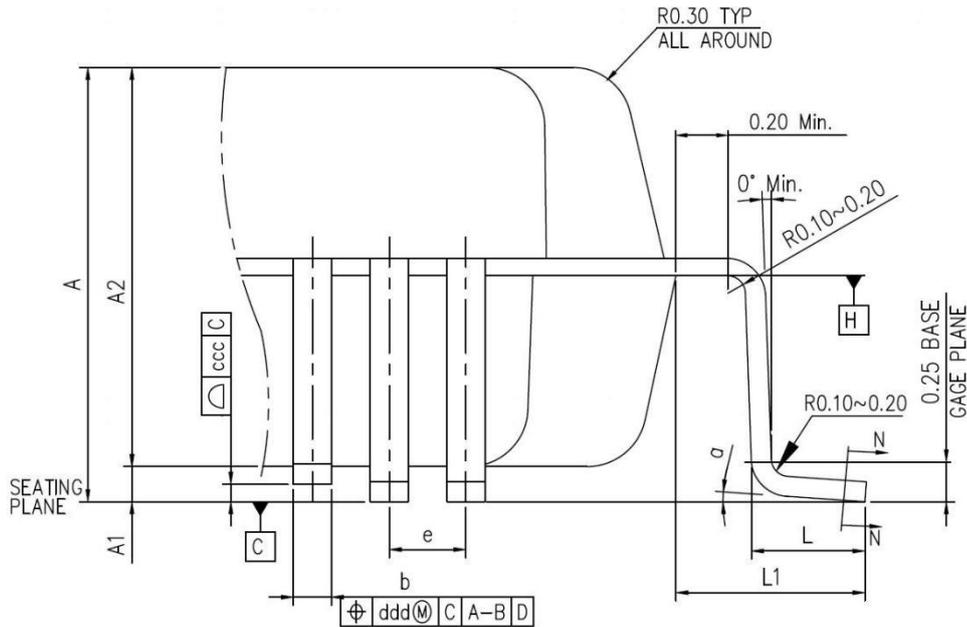
图 29 LQFP64 – 64 引脚，10 x 10mm 示意图



8.3 LQFP48 封装信息

图 30 LQFP48 封装图





注意:

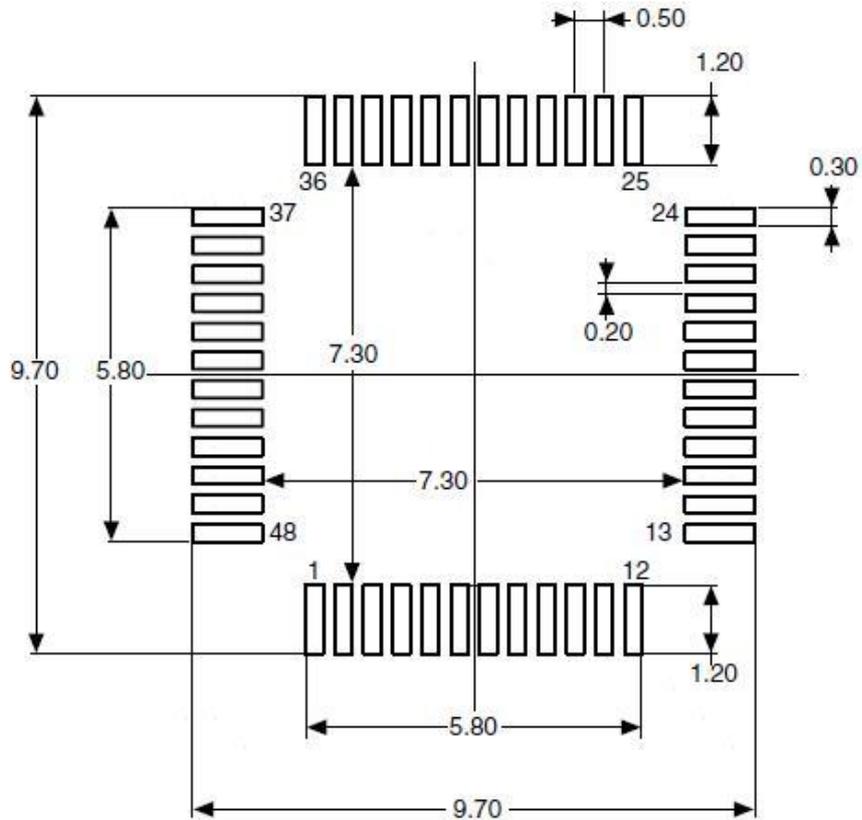
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 52 LQFP48 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

注意：尺寸以毫米表示。

图 31 LQFP48 焊接 Layout 建议



注意：尺寸以毫米表示。

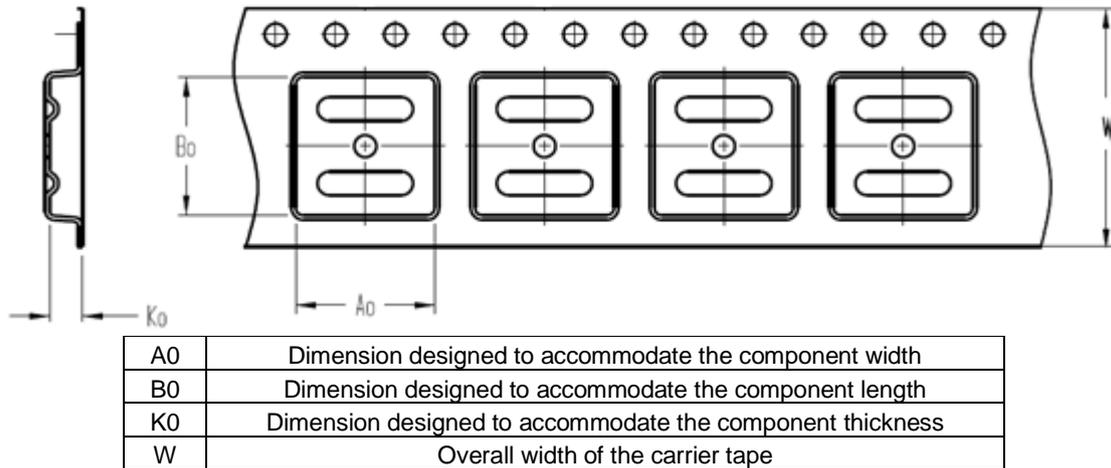
图 32 LQFP48 – 48 引脚，7 x 7mm 示意图



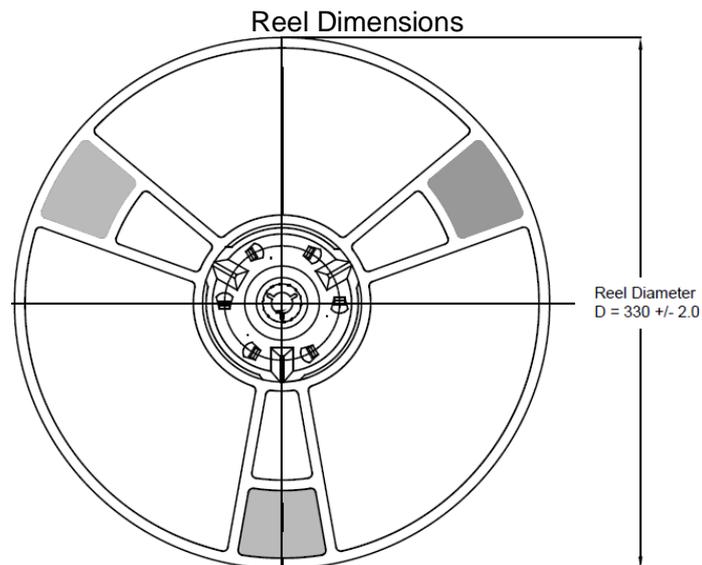
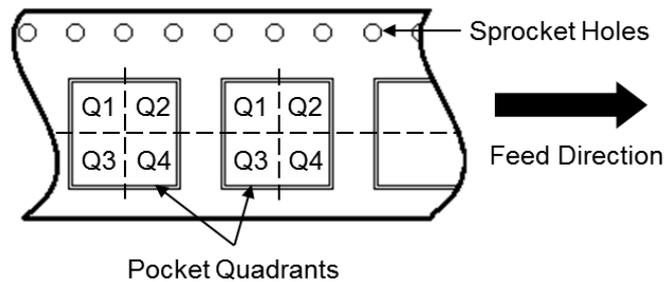
9 包装信息

9.1 带状包装

图 33 带状包装规格图



Quadrant Assignments for PIN1 Orientation in Tape



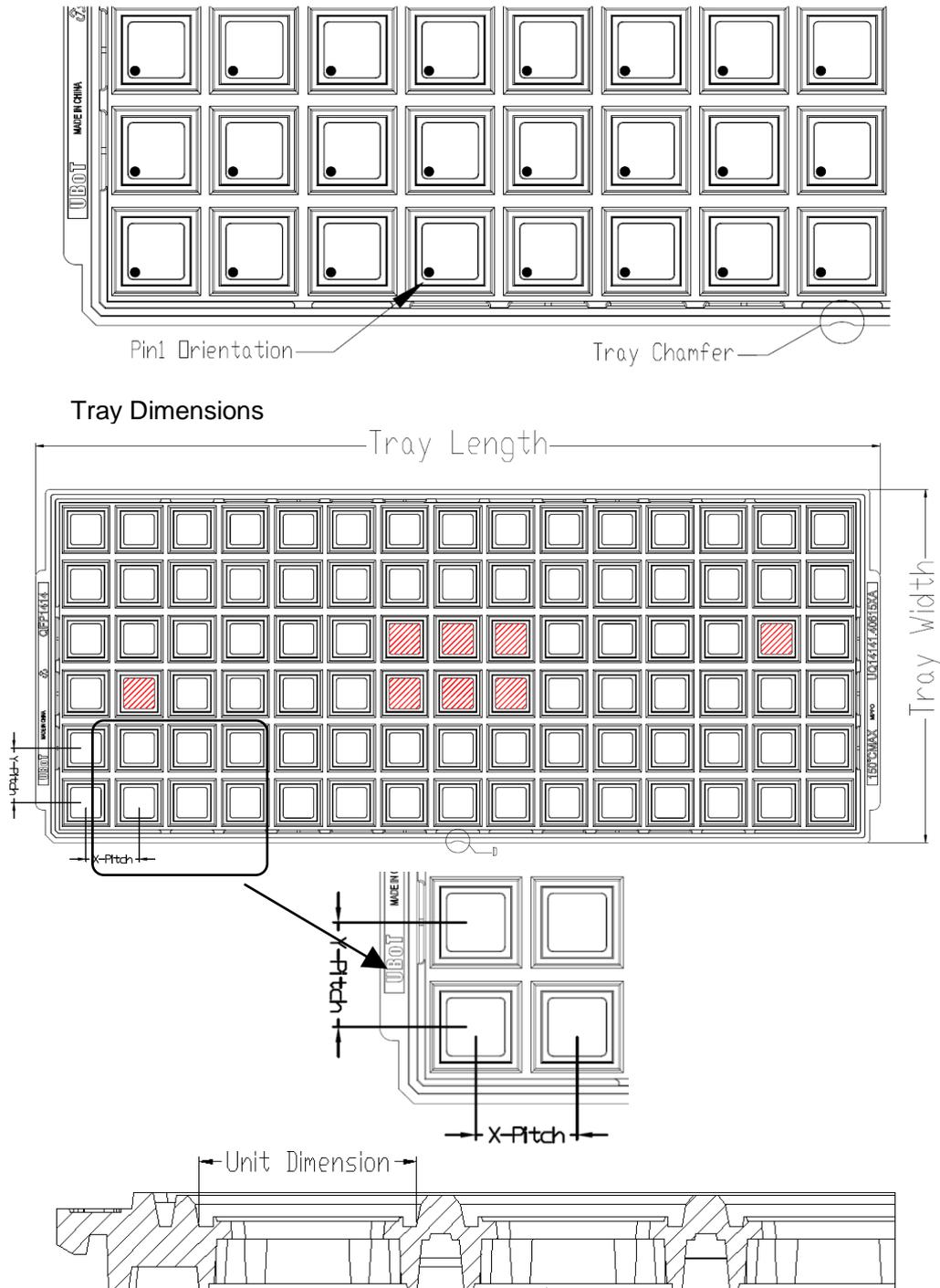
所有照片仅供参考，外观以产品为准。

表格 53 带状包装参数规格表

Device	Package Type	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	W (mm)	Pin1 Quadrant
G32A1445UAT0MLHR	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
G32A1445UAT0MLFR	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1

9.2 托盘包装

图 34 托盘包装示意图



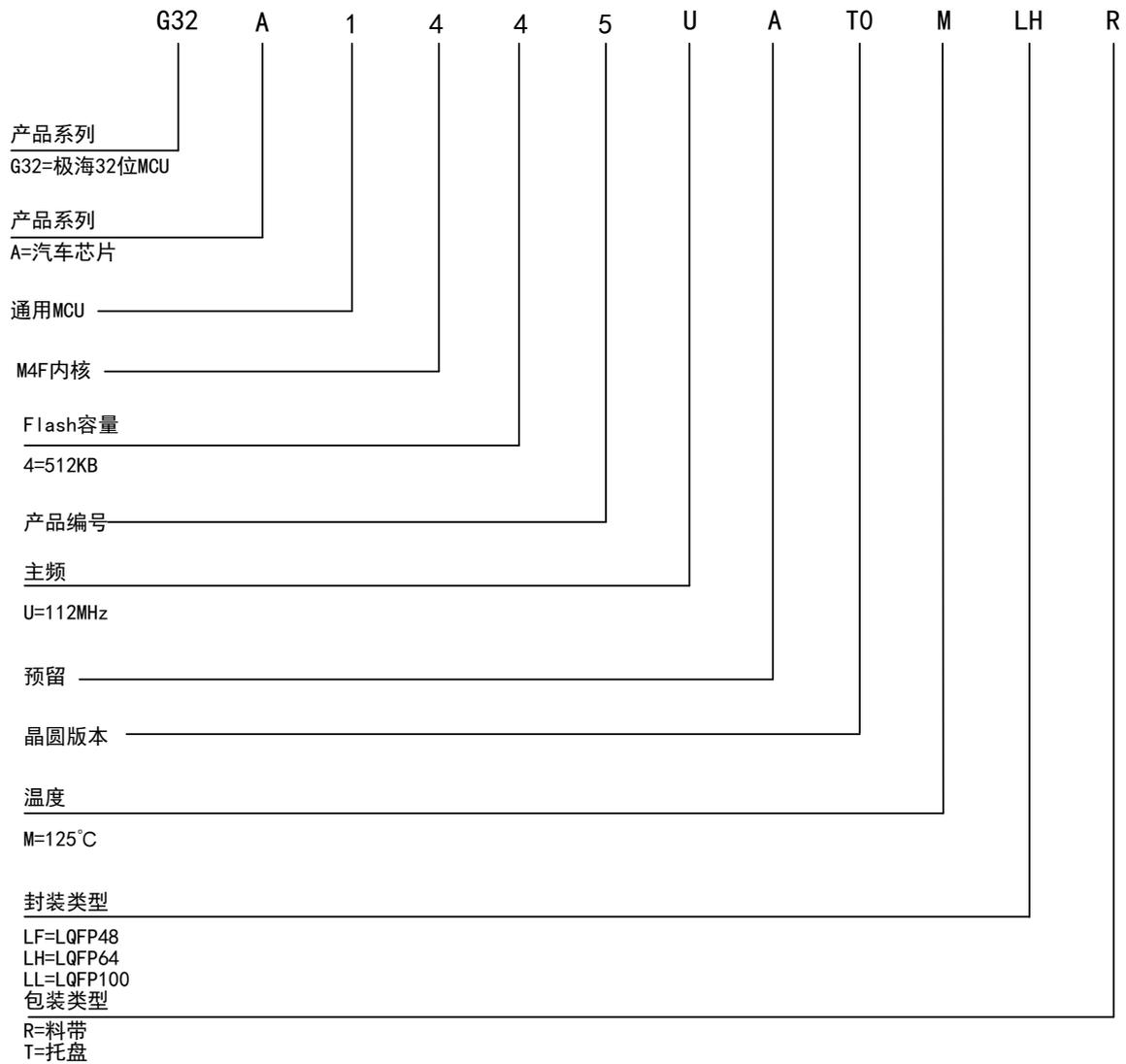
所有照片仅供参考，外观以产品为准

表格 54 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
G32A1445UAT0MLLT	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
G32A1445UAT0MLHT	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32A1445UAT0MLFT	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9

10 订货信息

图 35 产品信息命名规则图



表格 55 订货信息列表

订货编码	主频	Flash (KB)	SRAM (KB)	EEPROM (KB)	封装	SPQ	温度范围
G32A1445UAT0MLFT	112MHz	512	64	4	LQFP48	2500	-40°C~125°C
G32A1445UAT0MLFR	112MHz	512	64	4	LQFP48	2000	-40°C~125°C
G32A1445UAT0MLHT	112MHz	512	64	4	LQFP64	1600	-40°C~125°C
G32A1445UAT0MLHR	112MHz	512	64	4	LQFP64	1000	-40°C~125°C
G32A1445UAT0MLLT	112MHz	512	64	4	LQFP100	900	-40°C~125°C

注：SPQ 为最小包装数。

11 常用功能模块命名

表格 56 常用功能模块命名

全称	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
蜂鸣器	BUZZER
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
控制器局域网络	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC
安全数字输入输出	SDIO
数字摄像头接口	DCI

12 版本历史

表格 57 文件版本历史

日期	版本	变更历史
2023.11	1.0	新建
2023.12	1.1	修正文档中的错误
2024.3	1.2	(1) 删除 G32A1445UAT0MLLR、G32A1445HAT0MLLR、G32A1445UAT0VLLR、G32A1445HAT0VLLR 型号 (2) 修正引脚复用表格 (3) 修改 LQFP Top View 图
2024.6	1.3	(1) 修改部分模块的描述 (2) 修改 DAC 模块 (3) 修改部分模块电气特性
2024.8	1.4	(1) 修改产品特性，产品信息及引脚功能
2024.10	1.5	(1) 增加 flash 保存时间和擦写周期
2025.3	1.6	(1) 增加 LQFP48 封装 (2) 修改写耐久性和周期耐久性
2025.7	1.7	(1) 修改 64MHz 的功耗数据
2025.8	1.8	(1) 删除部分订货编码

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2025 珠海极海半导体有限公司 – 保留所有权利